

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-153597

(43) 公開日 平成9年(1997)6月10日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108			H 0 1 L 27/10	6 5 1
21/8242				4 5 1
H 0 1 G 4/33			37/02	
H 0 1 L 27/10	4 5 1		21/316	G
21/8247			H 0 1 G 4/06	1 0 2
審査請求 未請求 請求項の数 8 O L (全 14 頁) 最終頁に続く				

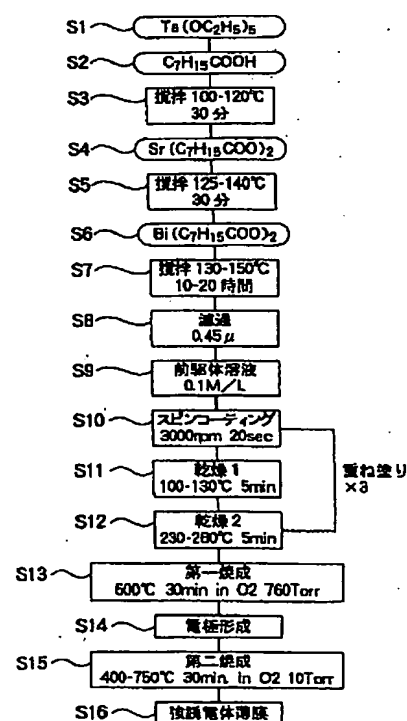
(21) 出願番号	特願平8-36041	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成8年(1996)2月23日	(72) 発明者	牛久保 真帆 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
(31) 優先権主張番号	特願平7-247509	(72) 発明者	伊藤 康幸 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
(32) 優先日	平7(1995)9月26日	(72) 発明者	横山 誠一 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	弁理士 梅田 勝
		最終頁に続く	

(54) 【発明の名称】 強誘電体薄膜素子の製造方法、強誘電体薄膜素子、及び強誘電体メモリ素子

(57) 【要約】

【課題】 本発明は、成膜温度の低温化及び短時間化、リーク電流の低減、製造プロセスの簡略化が可能な B i 系層状構造化合物から成る強誘電体薄膜素子の製造方法、強誘電体薄膜素子、及び強誘電体メモリ素子を提供することを目的としている。

【解決手段】 基板上に下部電極層と強誘電体薄膜と上部電極層とを順番に備える強誘電体薄膜素子の製造方法において、基板上に形成された前記下部電極層の表面に金属を含む前駆体溶液を塗布する工程 (S10) と、塗布された前駆体溶液を加熱して溶媒のみを除去して乾燥する工程 (S11) と、乾燥された前駆体を加熱して強誘電体薄膜を形成する第1の熱処理工程 (S13) と、強誘電体薄膜上に上部電極層を形成した後に、1気圧より低いガス圧雰囲気中にて加熱する第2の熱処理工程 (S15) とを含む。



(2)

1

【特許請求の範囲】

【請求項1】 基板上に下部電極層と強誘電体薄膜と上部電極層とを順番に備える強誘電体薄膜素子の製造方法において、

基板上に形成された前記下部電極層の表面に金属を含む前駆体溶液を塗布する工程と、

塗布された前駆体溶液を加熱して溶媒のみを除去して乾燥する工程と、

乾燥された前駆体を加熱して強誘電体薄膜を形成する第1の熱処理工程と、

該強誘電体薄膜上に上部電極層を形成した後に、1気圧より低いガス圧力雰囲気中にて加熱する第2の熱処理工程とを含むことを特徴とする強誘電体薄膜素子の製造方法。

【請求項2】 前記第2の熱処理工程の雰囲気中のガス圧力が、20 Torr以下であることを特徴とする請求項1に記載の強誘電体薄膜素子の製造方法。

【請求項3】 前記第2の熱処理工程の雰囲気中のガス圧力が、2 Torr以上20 Torr以下であることを特徴とする請求項2に記載の強誘電体薄膜素子の製造方法。

【請求項4】 前記第2の熱処理工程の加熱温度が、500℃以上650℃以下であることを特徴とする請求項1から3のいずれか1項に記載の強誘電体薄膜素子の製造方法。

【請求項5】 前記前駆体溶液が、金属のカルボン酸塩及びアルコキシドを成分とすることを特徴とする請求項1から4のいずれか1項に記載の強誘電体薄膜素子の製造方法。

【請求項6】 基板上に下部電極層と強誘電体薄膜と上部電極層とを順番に備えた強誘電体薄膜素子において、前記強誘電体薄膜が、最大結晶粒径が700 Å以下のビスマス層状構造化合物から成ることを特徴とする強誘電体薄膜素子。

【請求項7】 一つのスイッチ用トランジスタと一つの強誘電体キャパシタとを備えたメモリセルを含む半導体メモリ素子において、

前記スイッチ用トランジスタが形成された半導体基板上を覆う第1の絶縁体薄膜と、該第1の絶縁体薄膜を貫き内部を導電物質で充填されたコンタクトプラグと、該コンタクトプラグ上に形成された下部電極と、該下部電極上に形成された強誘電体薄膜と、該強誘電体薄膜上に形成された上部電極とを備えたスタック型構造を有し、前記強誘電体薄膜がビスマス層状構造化合物から成ることを特徴とする強誘電体メモリ素子。

【請求項8】 前記強誘電体薄膜を成すビスマス層状構造化合物が、Sr及びBiを含み、Ta又はTiの少なくともいずれか一方を含む化合物であることを特徴とする請求項7に記載の強誘電体メモリ素子。

【発明の詳細な説明】

2

【0001】

【発明の属する技術分野】本発明は、メモリ素子、焦電センサ素子、圧電素子等に用いられる強誘電体薄膜素子の製造方法、強誘電体薄膜素子、強誘電体メモリ素子に関するものである。

【0002】

【従来の技術】強誘電体薄膜は、自発分極、高誘電率、電気光学効果、圧電効果、及び焦電効果等の多くの機能をもつので、広範なデバイス開発に応用されている。例えば、その焦電性を利用して赤外線リニアアレイセンサに、また、その圧電性を利用して超音波センサに、その電気光学効果を利用して導波路型光変調器に、その高誘電性を利用してDRAMやMMIC用キャパシタにと、様々な方面で用いられている。

【0003】それらの広範な応用デバイス開発の中でも、近年の薄膜形成技術の進展に伴って、半導体メモリ技術との組み合わせにより、高密度でかつ高速に動作する強誘電体不揮発性メモリ(FRAM)の開発が盛んである。強誘電体薄膜を用いた不揮発性メモリは、その高速書き込み/読み出し、低電圧動作、及び書き込み/読み出し耐性の高さ等の特性から、従来の不揮発性メモリの置き換えだけでなく、SRAMやDRAMに対する置き換えも可能なメモリとして、実用化に向けた研究開発が盛んに行われている。

【0004】このようなデバイス開発には、残留分極(Pr)が大きくかつ抗電場(Ec)が小さく、低リーク電流であり、分極反転の繰り返し耐性の大きな材料が必要である。さらには、動作電圧の低減と半導体微細加工プロセスに適合するために膜厚200 nm以下の薄膜で上記の特性を実現することが望ましい。

【0005】そして、これらの用途に用いられる強誘電体材料としては、PZT(チタン酸ジルコン酸鉛、 $\text{Pb}(\text{Ti}, \text{Zr})\text{O}_3$)に代表されるペロブスカイト構造の酸化物材料が主流であった。ところが、PZTのように鉛をその構成元素として含む材料は、鉛やその酸化物の蒸気圧が高いため、成膜時に鉛が蒸発してしまい膜中に欠陥を発生させたり、ひどい場合にはピンホールを形成する。この結果、リーク電流が増大したり、更に分極反転を繰り返すと、自発分極の大きさが減少する疲労現象が起こるなどの欠点があった。特に、強誘電体不揮発性メモリによるFRAMに対する置き換えを考えると、疲労現象に関しては、 10^{15} 回の分極反転後も特性の変化がないことを保証しなければならないため、疲労のない強誘電体薄膜の開発が望まれていた。

【0006】これに対し、近年、ビスマス層状構造化合物材料の研究開発が行われている。ビスマス層状構造化合物材料は、1959年に、Smolenskiiらによって発見され(G. A. Smolenskii, V. A. Isupov and A. I. Agranovskaya, Soviet Phys. Solid State, 1, 149(1959))、その後、Subbaraoにより詳細な検討がなされた(E. C. Subbarao,

(3)

3

J. Phys. Chem. Solids, 23, 665(1962))。最近、Carlos A. Paz de Araujoらは、このビスマス層状構造化合物薄膜が強誘電体及び高誘電体集積回路への応用に適していることを発見し、特に10¹²回以上の分極反転後も特性に変化が見られないという優れた疲労特性を報告している(International Application No. PCT/US92/10542)。

【0007】また、強誘電体薄膜の製造方法には、真空蒸着法、スパッタリング法、レーザーアブレーション法等の物理的方法や、有機金属化合物を出発原料とし、これらを熱分解酸化して酸化物強誘電体を得るゾルゲル法又はMOD (Metal Organic Decomposition) 法、MOCVD (Metal Organic Chemical Vapor Deposition) 法等の化学的方法が用いられている。

【0008】上記成膜法の中で、ゾルゲル法又はMOD法は、原子レベルの均質な混合が可能であること、組成制御が容易で再現性に優れること、特別な真空装置が不要で常圧で大面積の成膜が可能であること、工業的に低コストである等の利点から広く利用されている。

【0009】特に、上記ビスマス層状構造化合物薄膜の成膜方法としては、MOD法が用いられており、従来のMOD法の成膜プロセスでは、下記のような工程で強誘電体薄膜又は誘電体薄膜が製造される(International Application No. PCT/US92/10542, PCT/US93/10021)。

【0010】1) 複合アルキシド等からなる前駆体溶液をスピンコート法等で基板上に塗布成膜する工程。

【0011】2) 溶媒や1)の工程において反応生成したアルコールや残留水分を膜中より離脱させるために、150℃で30秒から数分間、得られた膜を加熱乾燥する工程。

【0012】3) 膜中の有機物成分を熱分解除去するためにRTA (Rapid Thermal Annealing) 法を用いて酸素雰囲気中で725℃で30秒間、加熱処理する工程。

【0013】4) 膜を結晶化させるために、酸素雰囲気中で800℃で1時間、加熱処理する工程。

【0014】5) 上部電極を形成した後、酸素雰囲気中で800℃で30分間、加熱処理する工程。

【0015】なお、所望の膜厚を得るためには、1)から3)の工程を繰り返し、最後に4)、5)の工程を行う。

【0016】以上のようにして、強誘電体薄膜又は誘電体薄膜を製造することができる。

【0017】

【発明が解決しようとする課題】しかしながら、上記のような従来のMOD法による強誘電体薄膜の製造方法において、上部電極を形成する前に結晶化を行う工程(工程4))による強誘電体薄膜は、650℃以下の焼成温度ではほとんど結晶化せず、高い残留分極値を得るためには、800℃と極めて高温で、1時間もの長時間加熱処理する必要があった(International Application No. PCT/US93/10021)。このため、粒子径が2000Å程

4

度の大きさの粗な膜になり、リーク電流が増大すると共に絶縁耐性も低下し、さらに微細加工が困難になることから高集積化には適していなかった。

【0018】また、従来のMOD法においては、一回のスピンコートで得られる膜厚を約1000Å以上にすると、クラックが発生するなどの問題があるため、一回のスピンコートで得られる膜厚を1000Å以下になるように前駆体溶液の濃度を調整していた。従って、約2000Åの膜厚を得るためには数回の塗布工程が必要となり、かつ、スピンコーターで一回塗布する毎にRTAでの熱処理が必要となり、素子の製造プロセス上極めて非生産的となっていた。

【0019】一方、強誘電体不揮発性メモリを高集積化するためには、選択トランジスタと強誘電体キャパシタをコンタクトプラグで接続し、コンタクトプラグ上に強誘電体キャパシタを形成したスタック型構造を採用する必要がある(S. Onishi et al., IEEE IEDM Technical Digest, p. 843(1994))。ところが、強誘電体薄膜を形成するための酸素雰囲気中での高温で長時間の加熱処理は、強誘電体薄膜と電極との界面における相互拡散や、ポリシリコン等のコンタクトプラグ材料の酸化、コンタクトプラグ材料と下部電極材料や強誘電体薄膜との相互拡散等によるコンタクト不良や特性劣化を引き起こすなどの問題がある。このため、高温に長時間耐える電極材料やバリア金属材料を厚く形成する必要があるが、これによりキャパシタ部分の段差が大きくなり、素子を高集積化する場合の障害となっている。従って、キャパシタ全体の膜厚を薄くして高集積化を図るためには、強誘電体薄膜は、従来よりも少しでも低温の熱処理で良好な特性が得られることが望ましい。その目安として、強誘電体薄膜の熱処理温度は、650℃以下である必要がある。

【0020】本発明は、上記課題を解決するためになされたものであって、従来の強誘電体薄膜素子の製造方法と比べて成膜温度が低温化でき、製造プロセスが簡略化される強誘電体薄膜素子の製造方法、該製造方法によって製造された緻密でリーク電流が低減された強誘電体薄膜素子、及びスタック型構造を有する強誘電体メモリ素子を提供することを目的としている。

【0021】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に下部電極層と強誘電体薄膜と上部電極層とを順番に備える強誘電体薄膜素子の製造方法において、基板上に形成された前記下部電極層の表面に金属を含む前駆体溶液を塗布する工程と、塗布された前駆体溶液を加熱して溶媒のみを除去して乾燥する工程と、乾燥された前駆体を加熱して強誘電体薄膜を形成する第1の熱処理工程と、その強誘電体薄膜上に上部電極層を形成した後に、1気圧より低いガス圧力雰囲気中にて加熱する第2の熱処理工程とを含んだ強誘電体薄膜素子の製造方法としている。

(4)

5

【0022】さらに、本発明では、上記の強誘電体薄膜素子の製造方法において、第2の熱処理工程の雰囲気中のガス圧力を、20 Torr以下としている。

【0023】さらに、本発明では、上記の強誘電体薄膜素子の製造方法において、第2の熱処理工程の雰囲気中のガス圧力を、2 Torr以上20 Torr以下としている。

【0024】さらに、本発明では、上記の強誘電体薄膜素子の製造方法において、第2の熱処理工程の加熱温度を、500℃以上650℃以下としている。

【0025】さらに、本発明では、上記の強誘電体薄膜素子の製造方法において、前駆体溶液として、金属のカルボン酸塩及びアルコキシドを成分とするものを用いている。

【0026】また、本発明では、基板上に下部電極層と強誘電体薄膜と上部電極層とを順番に備えた強誘電体薄膜素子において、強誘電体薄膜が、最大結晶粒径が700 Å以下のビスマス層状構造化合物から成ることとしている。

【0027】また、一つのスイッチ用トランジスタと一つの強誘電体キャパシタとを備えたメモリセルを含む半導体メモリ素子において、スイッチ用トランジスタが形成された半導体基板上を覆う第1の絶縁体薄膜と、その第1の絶縁体薄膜を貫き内部を導電物質で充填されたコンタクトプラグと、そのコンタクトプラグ上に形成された下部電極と、その下部電極上に形成された強誘電体薄膜と、その強誘電体薄膜上に形成された上部電極とを備えたスタック型構造を有し、強誘電体薄膜がビスマス層状構造化合物から成ることとしている。

【0028】さらに、本発明では、上記の強誘電体メモリ素子において、強誘電体薄膜を成すビスマス層状構造化合物を、Sr及びBiを含み、Ta又はTiの少なくともいずれか一方を含む化合物としている。

【0029】上記のように、本発明の強誘電体薄膜素子の製造方法では、ゾルゲル法又はMOD法による強誘電体薄膜素子の製造方法において、強誘電体薄膜材料の成分元素から成る前駆体溶液を基板上に塗布して乾燥した後、従来の膜中の有機物成分を熱分解除去するためのRTA加熱処理工程を省略して、塗布乾燥工程を数回繰り返して所定の膜厚とし、その後、第1の熱処理工程により、有機物を熱分解して除去すると同時に結晶化を行う。そして、その上に上部電極薄膜を形成した後の第2の熱処理工程として、1気圧より低いガス圧力雰囲気中にて十分な時間加熱を行うことによって強誘電体薄膜を結晶化させている。これにより、本発明によれば、従来の製造方法と比べて成膜温度の低温化が可能となると共に、その製造方法によって製造された膜は、粒子径の小さい緻密な膜となるので、リーク電流が小さく、絶縁性の高いなど、非常に優れた強誘電体薄膜を得ることができる。

6

【0030】

【発明の実施の形態】以下、本発明による第1の実施の形態について、図面を参照して説明する。図1は、本発明の強誘電体薄膜の製造方法による第1の実施の形態による強誘電体薄膜素子の構造を示す断面図である。図1に示すように、この強誘電体薄膜素子は、n型シリコン基板1の表面に膜厚200 nmのシリコン熱酸化膜2を形成し、その上に、膜厚30 nmのTa膜3、膜厚200 nmのPt膜4、膜厚200 nmの強誘電体薄膜であるSrBi₂Ta₂O₉薄膜（以下、SBT薄膜と称す）5、膜厚100 nmのPt上部電極6が、それぞれ順次形成されている。なお、ここで、シリコン熱酸化膜2は、層間絶縁膜として設けたものであり、これに限定されるものではない。また、Pt膜4は、この上に酸化物膜を形成するので、酸化されにくい電極材料として選択されたものであって、この他にRuO₂やIrO₂などの導電性酸化物膜などを用いても良い。そして、Ta膜3は、シリコン熱酸化膜2とPt膜4の密着性を考慮して用いており、このほかに、Ti膜やTiN膜を用いても良い。

【0031】次に、図1に示す強誘電体薄膜素子の製造方法について説明する。

【0032】まず、n型シリコン基板1の表面に、膜厚が200 nmのシリコン熱酸化膜2を形成する。なお、本実施の形態では、シリコン熱酸化膜の形成方法として、シリコン基板1表面を1000℃で熱酸化することによって形成する。そして、このシリコン熱酸化膜2上に、膜厚が30 nmのTa膜3をスパッタ法により形成し、さらにこの上に、厚さが200 nmのPt膜4を形成し、これを強誘電体薄膜形成基板として用いる。

【0033】以下、この基板上にSBT薄膜5を形成するために用いる前駆体溶液の合成方法、及びこの前駆体溶液を用いて基板上に強誘電体薄膜としてSBT薄膜を形成する工程を図2の工程図を参照しながら説明する。

【0034】前駆体溶液合成の出発原料として、タンタルエトキシド（Ta（OC₂H₅）₅）、ビスマス-2-エチルヘキサネート（Bi（C₇H₁₅COO）₂）、及びストロンチウム-2-エチルヘキサネート（Sr（C₇H₁₅COO）₂）を使用する。タンタルエトキシドを秤量し（ステップS1）、2-エチルヘキサネート中に溶解させ（ステップS2）、反応を促進させるため、100℃から最高温度120℃まで加熱しながら攪拌し、30分間反応させる（ステップS3）。その後、12℃で反応によって生成したエタノールと水分を除去する。その溶液に20 ml～30 mlのキシレンに溶解させたストロンチウム-2-エチルヘキサネートをSr/Ta=1/2になるように適量加え（ステップS4）、125℃から最高温度140℃で30分間加熱攪拌する（ステップS5）。その後、この溶液に10 mlのキシレンに溶解させたビスマス-2-エタノールをSr/Bi/T

(5)

7
 $a = 1/2$ 、 $4/2$ になるように適量加え（ステップS 6）、 130°C から最高温度 150°C で10時間加熱攪拌する（ステップS 7）。

【0035】次に、この溶液から低分子量のアルコールと水と溶媒として使用したキシレンとを除去するために、 $130^{\circ}\text{C} \sim 150^{\circ}\text{C}$ の温度で5時間蒸留する。この溶液からダストを除去するために、 $0.45\mu\text{m}$ 径のフィルタで濾過する（ステップS 8）。その後、溶液の $\text{SrBi}_{2.4}\text{Ta}_{2.0}\text{O}_{9.6}$ の濃度を 0.1mol/l に調整し、これを前駆体溶液とする（ステップS 9）。なお、これらの原料は上記のものに限定されるものではなく、溶媒は上記出発原料が十分溶解するものであればよい。

【0036】次いで、上記の前駆体溶液を使用し、以下のような工程で成膜を行う。前述した下部白金電極4を持つ基板上に、上記前駆体溶液を滴下し、20秒間3000rpmでスピン塗布する（ステップS 10）。その後、基板を 120°C に加熱したホットプレートに載せ、5分間大気中でベークし乾燥させる（ステップS 11）。その際、乾燥を均一に進ませるために温度範囲を $100^{\circ}\text{C} \sim 130^{\circ}\text{C}$ とすることが好ましく、最適な乾燥温度は 120°C 程度である。これは、この温度範囲より高い温度、例えば 150°C で乾燥を行った場合、後述の積層する段階で膜応力によりクラックが発生するので、それを防止するためである。

【0037】その後、完全に溶媒を揮発させるため、ウェハを 250°C に加熱したホットプレートに載せ、5分間大気中でベークし焼成する（ステップS 12）。この温度は溶媒の沸点以上であって、工程時間の短縮のため $250^{\circ}\text{C} \sim 300^{\circ}\text{C}$ 程度の温度で行うことが好ましい。この成膜工程を3回繰り返し、膜厚200nmの強誘電体薄膜を成膜する。

【0038】その後、第1焼成としてRTA法を用いて、大気圧酸素雰囲気中 600°C で30分間の熱処理を行い（ステップS 13）、EB（electron beam）蒸着法により、膜厚200nmのPt上部電極6をマスク蒸着した（ステップS 14）。この第1焼成においては、塗布乾燥された強誘電体薄膜中に含まれる有機物の熱分解除去が行われる。そして、有機物の熱分解除去と同時に、強誘電体薄膜の結晶化の一部が行われ、一種の核形成工程として作用するものと考えられる。なお、本実施の形態では、RTA法を用いて大気圧酸素雰囲気中で熱処理を行ったが、RTA法以外に通常の熱処理炉を用いても良いし、雰囲気ガスとしては酸素と窒素、アルゴン等の不活性ガスとの混合ガスを用いても良い。また、本実施の形態では、強誘電体特性評価用の電極サイズとして、Pt上部電極を $100\mu\text{m}\phi$ の電極としたが、本発明がこれらの電極形状や電極サイズに限定されるものではない。

【0039】次に、上部電極形成後、第2焼成（本焼

8

成）として、RTA法を用い、10Torr酸素雰囲気中で $400^{\circ}\text{C} \sim 750^{\circ}\text{C}$ で、30分の焼成を行う（ステップS 15）。この第2焼成は、強誘電体薄膜の完全な結晶化を行うためのものである。なお、本実施の形態ではRTA法を用いて10Torr酸素雰囲気中で焼成を行ったが、RTA法以外に1気圧より低いガス圧力雰囲気中で熱処理ができるものであれば通常の熱処理炉を用いても良いし、焼成雰囲気としては、酸素以外に窒素又はアルゴン等の不活性ガスでも良く、また、窒素やアルゴン等の不活性ガス及び酸素のうちの2種類以上混合させた混合ガスであっても良い。以上の工程により、強誘電体薄膜の作製を完了する。（ステップS 16）。

【0040】図3、図4、及び図5は、上述の製造工程により得られた膜の第2焼成温度に対する強誘電特性を示すグラフである。強誘電特性の測定は、図1に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて、印加電圧を3Vとして行ったものである。

【0041】図3は、膜の残留分極Prの値を示すグラフである。第2焼成温度の低下に伴いPrも減少するが、第2焼成温度が 600°C でも $4\mu\text{C}/\text{cm}^2$ 以上の値が得られている。図4は、この製造方法で作製した膜の抗電界Ecの値を示すグラフであり、 500°C 以上では第2焼成温度に因らずほぼ一定の値を示している。図5に示す蓄積電荷量 δQ は、図3に示したPrと同じように、第2焼成温度に依存して増加し、第2焼成温度が 500°C 以上では良好な特性を示している。

【0042】図6、図7、及び図8は、第1焼成温度 600°C で大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を10Torr酸素雰囲気中 600°C で30分間のアニールを行った場合の強誘電体特性の印加電圧依存性を示すグラフである。これらのグラフは、図6、図7、及び図8がそれぞれ、Pr、Ec、及び δQ の値を示してのものであり、これらから、印加電圧の増加に伴い、Pr、Ec、及び δQ が印加電圧3V程度から飽和し始めていることを示している。これは、3V以上の印加電圧において、多少の電圧の変化があっても、常に一定の特性が得られることを示しており良好な強誘電体特性であるといえる。

【0043】図9は、第1焼成温度 600°C で大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を10Torr酸素雰囲気中 600°C で30分間のアニールを行ったサンプルに、電圧3V、周波数1kHzのパルスを印加して、繰り返し分極反転を行った場合の、繰り返し分極反転回数に対する蓄積電荷量 δQ の変化をプロットしたグラフである。 2×10^{11} サイクルの分極反転後も蓄積電荷量に全く変化は見られず、不揮発性メモリに応用するのに良好な特性を示す。

【0044】図10は、3V印加時の第2焼成温度に対するリーク電流の変化を示すグラフである。 550°C 以上では第2焼成温度に因らず $6 \sim 9 \times 10^{-8} \text{A}/\text{cm}^2$

(6)

9

の値となっており、500℃以下ではリーク電流が大きいが、従来第2焼成温度の低温化の際に問題となったリーク電流の増加は観られなかった。

【0045】図11は、第1焼成温度600℃で大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を10 Torr 酸素雰囲気中で600℃で30分のアニールを行った後の膜の表面SEM写真であり、700Å以下の球状の結晶粒から成る緻密な膜となっていることがわかる。また、第2焼成温度が650℃のものでも、第2焼成温度が600℃のものと同様、700Å以下の球状の結晶粒から成る緻密な膜となった。一方、第1焼成温度600℃で大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を10 Torr の酸素雰囲気中で700℃で30分のアニールを行った場合のSBT膜は、紐状で、500~5000Åの結晶粒が存在し、第2焼成温度が750℃のものでは第2焼成温度が700℃のものより更に大きな結晶粒が存在した。これらのことから、第2焼成温度の上昇に伴いSBT膜を構成する結晶粒子の最大結晶粒径が増大し、第2焼成温度が650℃以下において700Å以下の球状の結晶粒から成る緻密な膜が形成できるという結果が得られた。

【0046】X線回折の結果、500℃以上の第2焼成温度では、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の多結晶となっていたが、450℃以下では明確な結晶は確認できなかった。

【0047】上記第1の実施の形態の比較例として、従来の製造方法を用いてSBT薄膜を形成し、図1と同様の構造を有する強誘電体薄膜素子を、その電気特性の評価のため製造した。

【0048】図12は、図1に示す強誘電体薄膜素子中のSBT薄膜5を形成するために用いる前駆体溶液の合成方法、及びこの前駆体溶液を用いて基板上に強誘電体薄膜としてSBT薄膜を形成する従来の工程を示す図である。図2に示す第1の実施の形態の工程と同じ工程には同一の番号を付してある。

【0049】本比較例における強誘電体薄膜素子の製造において、前述の第1の実施の形態と異なる点は、SBT薄膜の形成時の第2焼成の工程のみである。すなわち、前述の第1の実施の形態と同様にして第1焼成後100μmφのPt上部電極6をマスク蒸着したSBT膜に対して、比較例のものでは、第2焼成として、RTA法を用い、大気圧酸素雰囲気中で600~750℃30分の焼成を行った（ステップS20）。

【0050】図13、図14、及び図15は、この比較例の工程で得られた膜の第2焼成温度に対する強誘電特性を示すグラフである。強誘電特性の測定は、上記第1の実施の形態と同様に、図1に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて、印加電圧を3Vとして行ったものである。

【0051】図13は、膜の残留分極Prの値を示すグラフである。第2焼成温度が低下すると、730℃を境

10

にPr値は急激に減少し、700℃以下では $2\mu\text{C}/\text{cm}^2$ 以下と非常に小さい値となり、600℃ではほとんど強誘電性を示さなかった。これを、前述の第1の実施の形態と比較すると、第1の実施の形態では $4\mu\text{C}/\text{cm}^2$ 以上のPr値を得るのに第2焼成温度は600℃で可能であったが（図3参照）、比較例では第2焼成温度730℃以上でないと $4\mu\text{C}/\text{cm}^2$ 以上のPr値を得られないことがわかる。このことから、同等のPr値を得るのに、第1の実施の形態の方が比較例のものよりも、第2焼成温度の低温化を実現できていることが明らかである。

【0052】図14は、抗電界Ecの値を示しており、650℃以上では第2焼成温度に因らずほぼ一定の値を示している。図15に示す蓄積電荷量δQは、図13に示したPrと同じように、第2焼成温度730℃を境に、それ以下の温度になると値が急激に減少している。

【0053】図16は、3V印加時の第2焼成温度に対するリーク電流の変化を示すグラフである。第2焼成温度が50℃下がる毎に1桁ずつリーク電流は増加し、600℃では低下傾向になるが、600℃のものは強誘電性をほとんど示さないものである。

【0054】図17は、第1焼成温度600℃で大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を大気圧酸素雰囲気中で700℃で30分のアニールを行った後の膜の表面SEM写真である。この場合のSBT膜は、紐状で、1500~9000Åの結晶粒の存在が存在する。

【0055】ここで、結晶粒の大きさについて、前述の第1の実施の形態のものと本比較例のものと比較する。前述のとおり、第1焼成温度600℃で大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を10 Torr の酸素雰囲気中で700℃で30分のアニールを行った場合のSBT膜では結晶粒が500~5000Åであったが、本比較例では上記のとおり1500~9000Åであり、第1の実施の形態のもののほうが、比較例のものよりも小さな結晶粒となっている。このことから、強誘電性を示す膜において、第2焼成の雰囲気ガス圧力が異なるだけの条件で形成したこれらのSBT膜の比較によれば、第2焼成を1気圧より低いガス圧雰囲気で行うことにより、膜の緻密化が可能なことが明らかである。

【0056】次いで、残留分極Pr値がほぼ同等となる強誘電体薄膜の結晶粒の大きさについて、前述の第1の実施の形態のものと本比較例のものと比較する。前述の第1の実施の形態において、第1焼成温度600℃で大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を10 Torr の酸素雰囲気中で600℃で30分のアニールを行った場合のSBT膜では、図3に示したようにPr値が約 $4\cdot 2\mu\text{C}/\text{cm}^2$ であり、結晶粒が700Å以下であった。一方、比較例において、Pr値がこれ

(7)

11

とほぼ同等となるものとしては、第1焼成温度600℃で大気圧酸素雰囲気中で30分間アニールを行い、第2焼成を大気圧酸素雰囲気中730℃で30分間のアニールを行ったものがPr値=約4.3 $\mu\text{C}/\text{cm}^2$ であり

(図13参照)、このSBT膜表面を観察した結果その結晶粒の大きさは1500~9000Åであった。これらを比較すると、第1の実施の形態のものの方が、比較例のものよりも小さな結晶粒となっている。このことから、ほぼ同等のPr値が得られるSBT膜の比較においても、第2焼成を1気圧より低いガス圧雰囲気で行うことにより、膜の緻密化が可能なが明らかなである。

【0057】X線回折の結果、比較例において、650℃以上の第2焼成温度では、SrBi₂Ta₂O₉の多結晶となっていたが、600℃以下では明確な結晶化は確認できなかった。

【0058】以上のように、従来の製造方法では、第2焼成温度を下げると、Pr、 δQ 値の急激な減少とリーク電流の増大が観られ、強誘電体メモリとして使用するには730℃以上の焼成が必要であったが、本発明による第1の実施の形態によれば、第2焼成を1気圧より低いガス圧雰囲気中で行うことにより第2焼成温度の低下に伴うPr、 δQ 値の急激な減少を抑えたと共にリーク電流の増加も抑制できる。それにより、最高焼成温度650℃以下で強誘電体メモリとして十分な特性が得られ、FRAMの高集積化に必要なスタック構造を採用することが可能となる。また、本実施の形態の製造方法は、結晶粒子の粗大化を抑制して、膜の緻密化、表面平坦化が実現でき、リーク電流の提言が可能となると共に、微細加工にも適しており、高密度デバイスの製造に適している。

【0059】以下、本発明による第2の実施の形態について、図面を参照しながら説明する。図18は、本発明による第2の実施の形態である強誘電体メモリセルの要部断面図である。図18に示すように、本実施の形態の強誘電体メモリセルは、第1導電型シリコン基板54の上に、素子間分離酸化膜39と、ゲート酸化膜40と、第2の導電型不純物拡散領域41と、ポリシリコンワード線42と、層間絶縁膜43、44、51、52と、メモリ部コンタクトプラグ45と、TiNバリアメタル層46と、Pt下部電極47と、強誘電体薄膜48と、Ptプレート線49と、Ta₂O₅バリア絶縁膜50と、Alビット線53とを備えている。

【0060】次に、この強誘電体メモリセルの製造方法について、図18に示した構造の強誘電体メモリの製造方法の例を示す説明図である図19を用いて説明する。

【0061】図19(a)に示すように、スイッチ用トランジスタを公知のMOSFET形成工程により形成し、層間絶縁膜43で覆った後、ビット線が基板の不純物拡散領域41と接触する部分のみ公知のホトリソグラ

12

フィ法とドライエッチング法を用いてコンタクトホールを穿ち、不純物拡散したポリシリコンを埋め込んだ後、公知のCMP (Chemical Mechanical Polishing) 法により、層間絶縁膜43とポリシリコンプラグ45の表面を平坦化する。

【0062】次に、図19(b)に示すように、TiNバリアメタル層46を公知のスパッタ法により膜厚2000Å堆積した後、Pt薄膜47を公知のスパッタ法により膜厚1000Å堆積して下部電極とする。この下部電極上に、強誘電体薄膜48としてSrBi₂Ta₂O₉薄膜(以下、SBT薄膜と称す)を形成するのであるが、SBT薄膜を形成するために用いる前駆体溶液の合成方法、及びこの前駆体溶液を用いてSBT薄膜を形成する工程のうち第1焼成までの工程は、前述の第1の実施の形態で説明した図2のステップS1からステップS13までの工程と同じであるので説明を省略する。

【0063】第1焼成後のSBT膜48とPt下部電極47とTiNバリアメタル層46を公知のホトリソグラフィ法とドライエッチング法を用いて、3.0 μm 角の大きさに加工して、図19(b)に示すような形状とする。ドライエッチングには、ECRエッチャーを用い、使用したガス種は、SBT膜がArとCl₂とCF₄との混合ガス、Pt下部電極がC₂F₆とCHF₃とCl₂との混合ガス、TiNバリアメタルがCl₂ガスである。この時、SBT膜及びPt下部電極は非常に緻密で平坦であるので、精密な微細加工が可能であり、CDロスは0.1 μm 以下に抑えることができる。

【0064】次に、図19(c)に示すように、膜厚300ÅのTa₂O₅バリア絶縁膜50を公知のスパッタ法を用いて堆積し、続いて、層間絶縁膜51として膜厚1500Åのシリコン酸化膜を公知のCVD法にて堆積し、その後、SBT膜上部に公知のホトリソグラフィ法とドライエッチング法を用いて、2.0 μm 角のコンタクトホールを形成する。

【0065】次に、図19(d)に示すように、膜厚1000ÅのPt上部電極を公知のスパッタ法により形成し、公知のホトリソグラフィ法とドライエッチング法を用いて加工してプレート線49とした後、第2の熱処理として、RTA法を用いて10 Torrの酸素雰囲気中で600℃で30分間の熱処理を行い、SBT膜を結晶化させた。結晶化させた後のSBT膜の断面はやはり非常に平滑で緻密であり、強誘電体キャパシタの形状を損ねることはなかった。また、SBT膜の膜厚を測定したところ、2000Åであった。

【0066】その後、公知の平坦化技術によりCVD法を用いて層間絶縁膜52を堆積して平坦化を行い、公知のホトリソグラフィ法とドライエッチング法を用いてスイッチ用トランジスタのもう一方の不純物拡散領域へのコンタクトホールを形成し、公知のAl配線技術を用いてビット線53を形成し、図18に示したような強誘電

(8)

13

体メモリセルが完成する。

【0067】このようにして製造した強誘電体メモリセルの電気特性を公知のソーヤタワー回路を用いて測定した。図20は、印加電圧を3Vで測定した時のヒステリシスループを示すグラフである。ヒステリシスループの形状は良好で、残留分極Prは $5\mu\text{C}/\text{cm}^2$ 、抗電界Ecは $30\text{kV}/\text{cm}$ (0.6V)の値が得られており、強誘電体キャパシタとして十分な動作が確認された。また、印加電圧3Vでリーク電流の値は、 $5\times 10^{-8}\text{A}/\text{cm}^2$ であり、強誘電体キャパシタとして十分な特性が確認された。

【0068】図21は、電圧3V、周波数1MHzのパルスを印加して繰り返し分極反転を行った場合の、繰り返し分極反転回数に対する蓄積電荷量 δQ の変化をプロットしたグラフである。 2×10^{11} サイクルの分極反転後も蓄積電荷量に全く変化は見られず、不揮発性メモリとして良好な特性を示すものである。

【0069】以下、本発明による第3の実施の形態について、図面を参照しながら説明する。第3の実施の形態は、前述の第1の実施の形態と同様の強誘電体薄膜素子について、SBT膜を構成する結晶粒子の最大結晶粒径と蓄積電荷量との関係を説明するものである。

【0070】第3の実施の形態の強誘電体薄膜素子が前述の第1の実施の形態と異なる点は、図1のPt上部電極6の形状を $2\mu\text{m}$ 角の複数に分離したものとした点だけであり、それ以外は、SBT膜の形成工程は勿論、構造、製造方法等、第1の実施の形態と全く同じものである。

【0071】図22は、第3の実施の形態のキャパシタ構造の強誘電体薄膜素子について、 $2\mu\text{m}$ 角のPt上部電極の100箇所測定したときのSBT膜の最大結晶粒径に対する蓄積電荷量 δQ のパラツキを示したものである。図22において、縦軸は蓄積電荷量 δQ の標準偏差(σ)を蓄積電荷量 δQ の平均値(δQ_{AVE})で割った値を示し、横軸はSBT膜の最大結晶粒径を示す。図22によれば、最大結晶粒径が 1000\AA より小さい膜では $\sigma/\delta Q_{\text{AVE}}$ が10%以下で蓄積電荷量 δQ のばらつきが非常に小さく、最大結晶粒径が 1000\AA 以上の膜では $\sigma/\delta Q_{\text{AVE}}$ 値が大きく安定な特性が得られにくいことを示している。したがって、前述の第1の実施の形態で説明したように、第2焼成温度が 650°C 以下の場合では、最大結晶粒径が 700\AA 以下の緻密な膜が得られるので、このとき強誘電特性のばらつきがほとんどない良好なものであることがわかる。このことから、誘電体キャパシタとして用いるための十分な蓄積電荷量を持ち、特性のばらつきの少ないSBT膜を得るためには、第2焼成温度は $500^\circ\text{C}\sim 650^\circ\text{C}$ の範囲であることが好ましい。

【0072】以下、本発明による第4の実施の形態について、図面を参照しながら説明する。第4の実施の形態

14

では、前述の第1の実施の形態の図2のステップS15において、第2焼成(本焼成)として、RTA法を用い、 $1\sim 760\text{Torr}$ 酸素雰囲気中にて、 600°C で30分の焼成を行ったものであり、それ以外は、素子構造、その他の製造工程等、第1の実施の形態と全く同様のものである。なお、ここで、第2焼成の雰囲気ガス圧力(第2焼成圧力)の範囲を $1\sim 760\text{Torr}$ としたのは、 1Torr のときに形成されたSBT膜が強誘電性をほとんど示さなかったのをこれを下限とし、大気圧である 760Torr を上限としたものである。

【0073】図23、図24、及び図25は、上述の製造工程により得られた膜の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する強誘電特性を示すグラフである。強誘電特性の測定は、図1に示すタイプのキャパシタに対して、公知のソーヤタワー回路を用いて、印加電圧を3Vとして行ったものである。

【0074】図23は、第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する膜の残留分極Prの値を示すグラフである。雰囲気ガス圧力が 760Torr ではほとんど強誘電性を示さなかったが、それからガス圧が低下するとPr値は増大し、圧力 5Torr 付近で極大となり、それよりさらに圧力が低下するとPt値は減少する。圧力 5Torr のときの残留分極Prは $5.5\mu\text{C}/\text{cm}^2$ 、抗電界Ecは $25\text{kV}/\text{cm}$ と、強誘電体キャパシタとして十分な特性が得られた。また、図23から、第2焼成の雰囲気ガス圧力(第2焼成圧力)が $2\text{Torr}\sim 20\text{Torr}$ の範囲であれば、Prは $2.5\mu\text{C}/\text{cm}^2$ 以上となり、十分な強誘電特性を示している。

【0075】図24は、第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する膜の蓄積電荷量 δQ の値を示すグラフである。蓄積電荷量 δQ も残留分極Prと同様、雰囲気ガス圧力が 760Torr から低下すると値は増大し、圧力 5Torr 付近で極大となり、それよりさらに圧力が低下すると値は減少する。圧力 5Torr のときの蓄積電荷量 δQ は $10.2\mu\text{C}/\text{cm}^2$ という優れた値が得られた。また、一般的にMbitクラスの集積度の強誘電体メモリであれば、 $5\mu\text{C}/\text{cm}^2$ 以上の蓄積電荷量が必要である。したがって、図24から、第2焼成の雰囲気ガス圧力(第2焼成圧力)が $2\text{Torr}\sim 20\text{Torr}$ の範囲で蓄積電荷量 δQ が $5\mu\text{C}/\text{cm}^2$ 以上となっており、この範囲の圧力により製造されたものであればMbitクラスの集積度の強誘電体メモリとして必要な蓄積電荷量 δQ を得ることができる。さらに、この第2焼成圧力で製造されたSBT膜を観察した結果、緻密で表面平坦性も良好であることが確認できている。

【0076】図25は、第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する膜の抗電界Ecの値を示すグラフである。第2焼成圧力が $2\text{Torr}\sim 200\text{Torr}$ の

(9)

15

範囲で、 25 kV/cm 近傍のほぼ一定になっている。

【0077】図26は、第2焼成の雰囲気ガス圧力（第2焼成圧力）に対し、 3 V 印加した時のリーク電流の変化を示すグラフである。第2焼成圧力がいずれのガス圧においても、 $10^{-7}\sim 10^{-8}$ 台の良好な値が得られている。

【0078】図27は、第2焼成の雰囲気ガス圧力（第2焼成圧力）に対する膜のX線回折パターンを示す図である。図27において、a、b、c、d、e、fはそれぞれ第2焼成圧力が 760 Torr 、 200 Torr 、 20 Torr 、 10 Torr 、 2 Torr 、 1 Torr のものである。また、図27において、横軸は回折角度 2θ （deg）であり、縦軸は回折強度（任意強度）であるが、縦軸ではそれぞれの第2焼成圧力について回折強度0となる位置を移動させているものである。そして、図27中、SBT（008）、SBT（105）、SBT（110）、及びSBT（200）は $\text{SrBi}_2\text{Ta}_2\text{O}_9$ （SBT）による回折ピーク、 $\delta\text{-TaO}$ （001）及び $\delta\text{-TaO}$ （001）は δ 相 TaO による回折ピーク、Siはシリコン基板による回折ピーク、PtはPt下部電極による回折ピークを表すものである。

【0079】図27によれば、 $2\text{ Torr}\sim 200\text{ Torr}$ のものではSBTの多結晶ピーク（SBT（008）、SBT（105）、SBT（110）、SBT（200））が現れており、 1 Torr のものではSBTピークはなく TaO のピーク（ $\delta\text{-TaO}$ （001）、 $\delta\text{-TaO}$ （002））が現れている。そして、 760 Torr のものでは、SBTピークが非常にブロードになっており、アモルファスライクな膜になっているものと考えられる。このX線回折の観察結果によれば、第2焼成の雰囲気ガス圧力としては、 $2\text{ Torr}\sim 200\text{ Torr}$ の範囲において、SBTピークを示す膜が得られたことがわかる。

【0080】図28は、第2焼成の雰囲気ガス圧力（第2焼成圧力）に対する膜組成比の変化を示すグラフである。図28は、SBT膜組成はEPMAによる測定した結果、Ta組成及びSr組成が第2焼成圧力に依存せずほぼ一定であったのに対して、Bi組成が第2焼成圧力に依存して変化したので、Bi/Ta及びSr/Taの組成比をグラフ化したものである。図28によれば、Bi/Taの値は、 760 Torr では原料仕込量の組成比（ $\text{Bi/Ta}=2.4/2=1.2$ ）とほぼ同じであり、 2 Torr までは第2焼成圧力の低下に伴い緩やかに減少し、 5 Torr 近傍でストイキオメトリ（ $\text{Bi/Ta}=1.0$ ）となっている。

【0081】そして、第2焼成圧力が 1 Torr では、Bi/Taの値が急激に小さくなっている。このようなBi組成の変化は、第2焼成時にBiの揮発又は電極への拡散が起こったことに起因するものと考えられ、このようなBi組成の大きなずれが第2焼成圧力 1 Torr

16

のもので強誘電性がほとんど得られなかった原因であると考えられる。一方、前述のとおり、Ta組成及びSr組成が第2焼成圧力に依存せずほぼ一定であったので、Sr/Taもほぼ一定で、原料仕込量の組成比（ $\text{Sr/Ta}=1/2=0.5$ ）とほぼ同じであった。

【0082】なお、上述の第1～第4の実施の形態において、強誘電体薄膜の材料としてSBT（ $\text{SrBi}_2\text{Ta}_2\text{O}_9$ ）を用いたが、材料はこれに限定されるものではなく、Sr及びBiを含み、Ta又はTiの少なくともいずれか一方を含む化合物である $\text{SrBi}_2(\text{Ti}, \text{Nb})_2\text{O}_9$ 、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 、 $\text{SrBi}_4(\text{Ti}, \text{Zr})_4\text{O}_{15}$ が好ましく、またこれらの他に、 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{CaBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Ta}_2\text{O}_9$ 、 $\text{BaBi}_2\text{Nb}_2\text{O}_9$ 、 $\text{PbBi}_2\text{Ta}_2\text{O}_9$ などのゾルゲル法又はMOD法で成膜可能なビスマス層状構造化合物材料であれば、本発明は適用可能である。

【0083】

【発明の効果】本発明の強誘電体薄膜素子の製造方法によれば、ゾルゲル法又はMOD法による強誘電体薄膜素子の製造方法において、強誘電体薄膜材料の成分元素から成る前駆体溶液を塗布して乾燥した後、膜中の有機物成分を熱分解除去するための加熱処理を省略して、塗布乾燥工程を数回繰り返して所定の膜厚とし、その後、第1の熱処理工程により強誘電体薄膜を形成した後、第2の熱処理工程として、1気圧より低いガス圧力雰囲気中に加熱することにより、強誘電体薄膜を結晶化させており、従来の方法よりも成膜温度の低温化が可能となる。さらに、本発明の強誘電体薄膜の製造方法により作製された膜は、粒子径の小さい緻密な膜となり、リーク電流が小さく絶縁耐性の高い強誘電体薄膜を得ることができる。

【0084】より詳細には、従来の製造方法において 650°C 以下の焼成温度ではほとんど結晶化しない上に、強誘電体メモリとして必要な特性を得るためには 730°C 以上の焼成が必要であったが、本発明の製造方法では従来の製造方法より 100°C 以上の低温化が可能となり、 600°C という低温の焼成温度でもメモリとして十分な特性が得られるので、強誘電体メモリのスタック構造を用いた集積化が可能となる。

【0085】また、本発明の強誘電体薄膜素子の製造方法により作製された薄膜は、結晶粒子の粗大化を抑制して膜の緻密化、表面平坦化が実現でき、微細加工にも適しているため、より高密度なデバイスの製造が実現できる。

【図面の簡単な説明】

【図1】本発明による強誘電体薄膜素子の第1の実施の形態の断面図である。

【図2】図1の強誘電体薄膜素子の製造工程の一部を示す工程図である。

(10)

17

【図3】図1の強誘電体薄膜素子の第2焼成温度に対する残留分極 P_r の変化を示すグラフである。

【図4】図1の強誘電体薄膜素子の第2焼成温度に対する抗電界 E_c の変化を示すグラフである。

【図5】図1の強誘電体薄膜素子の第2焼成温度に対する蓄積電荷量 δQ の変化を示すグラフである。

【図6】図1の強誘電体薄膜素子の印加電圧に対する残留分極 P_r の変化を示すグラフである。

【図7】図1の強誘電体薄膜素子の印加電圧に対する抗電界 E_c の変化を示すグラフである。

【図8】図1の強誘電体薄膜素子の印加電圧に対する蓄積電荷量 δQ の変化を示すグラフである。

【図9】図1の強誘電体薄膜素子の疲労特性を示す図である。

【図10】図1の強誘電体薄膜素子の第2焼成温度に対する3V印加時のリーク電流の変化を示すグラフである。

【図11】図2の製造方法で第1焼成温度を600℃、第2焼成温度を600℃として製造した膜の表面のSEM写真である。

【図12】従来の強誘電体薄膜素子の製造工程の一部を示す図である。

【図13】従来の強誘電体薄膜素子の第2焼成温度に対する蓄積電荷量 δQ の変化を示すグラフである。

【図14】従来の強誘電体薄膜素子の第2焼成温度に対する抗電界 E_c の変化を示すグラフである。

【図15】従来の強誘電体薄膜素子の第2焼成温度に対する抗電界 E_c の変化を示すグラフである。

【図16】従来の強誘電体薄膜素子の第2焼成温度に対する3V印加時のリーク電流の変化を示すグラフである。

【図17】従来の製造方法で第1焼成温度を600℃、第2焼成温度を600℃として製造した膜の表面のSEM写真である。

【図18】本発明による第2の実施の形態の強誘電体メモリの断面図である。

【図19】図18の強誘電体メモリの製造工程の一部を示す断面図である。

【図20】図18のSBT強誘電体メモリに3Vの電圧

18

を印加したときのヒステリシスループを示すグラフである。

【図21】図18のSBT強誘電体メモリの疲労特性を示すグラフである。

【図22】本発明による第3の実施の形態の強誘電体薄膜素子の強誘電体薄膜の最大結晶粒径に対する蓄積電荷量 δQ の標準偏差(σ)を蓄積電荷量 δQ の平均値(δQ_{AVE})で割った値の変化を示すグラフである。

【図23】本発明による第4の実施の形態の強誘電体薄膜素子の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する膜の残留分極 P_r の変化を示すグラフである。

【図24】第4の実施の形態の強誘電体薄膜素子の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する蓄積電荷量 δQ の変化を示すグラフである。

【図25】第4の実施の形態の強誘電体薄膜素子の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する抗電界 E_c の変化を示すグラフである。

【図26】第4の実施の形態の強誘電体薄膜素子の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する3V印加時のリーク電流の変化を示すグラフである。

【図27】第4の実施の形態の強誘電体薄膜素子のSBT膜の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する膜のX線回折パターンを示す図である。

【図28】第4の実施の形態の強誘電体薄膜素子のSBT膜の第2焼成の雰囲気ガス圧力(第2焼成圧力)に対する膜組成比の変化を示すグラフである。

【符号の説明】

1 Si基板

2 SiO₂

4 下部電極層

5、48 強誘電体薄膜

6 上部電極層

41 第2導電型不純物拡散領域

43、44、51、52 層間絶縁膜

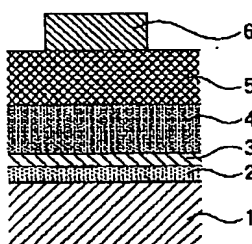
45 メモリ部コンタクトプラグ

47 下部電極

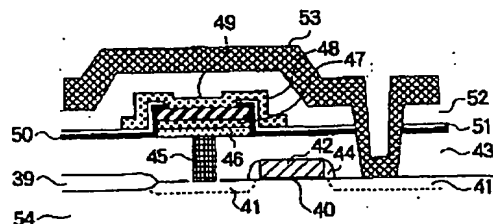
49 プレート線

54 第1導電型シリコン基板

【図1】

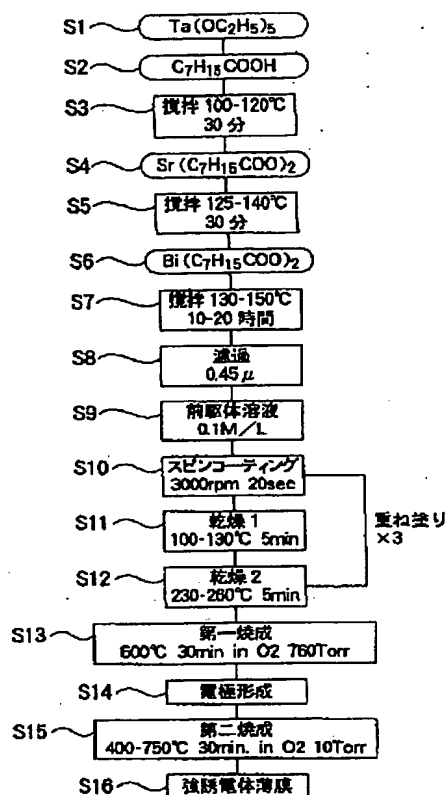


【図18】

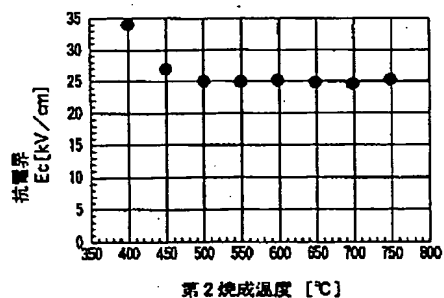


(11)

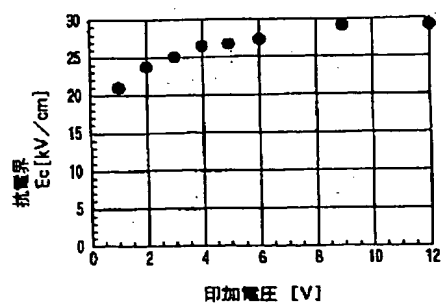
【図2】



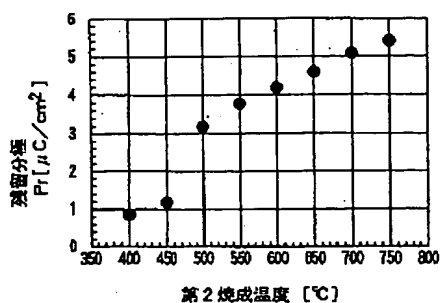
【図4】



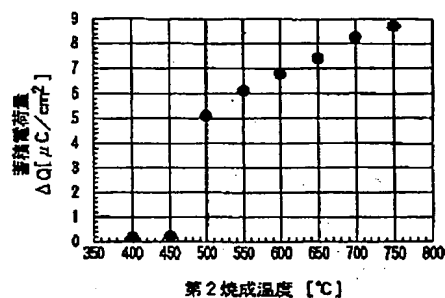
【図7】



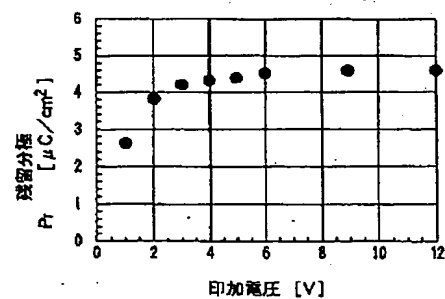
【図3】



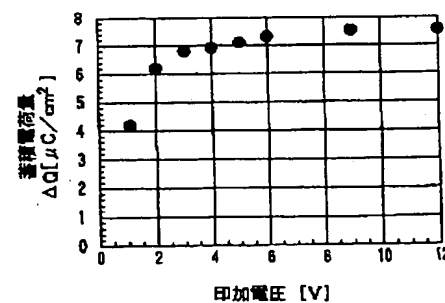
【図5】



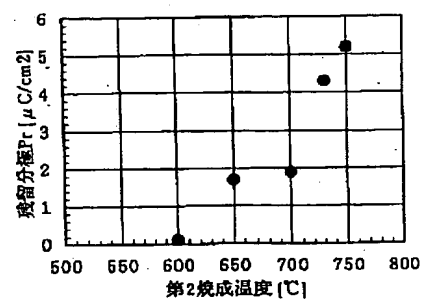
【図6】



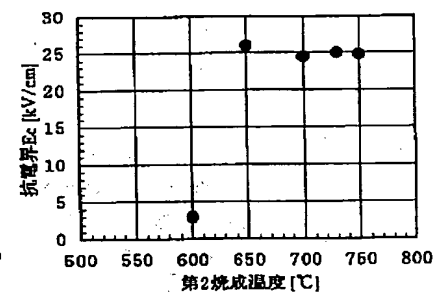
【図8】



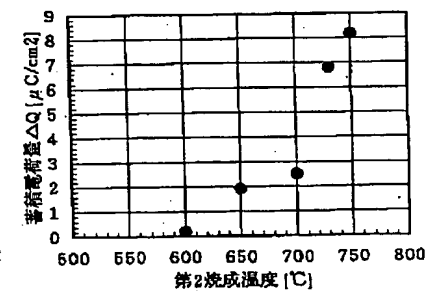
【図13】



【図14】

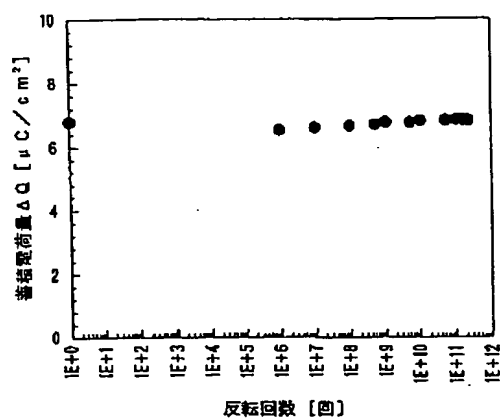


【図15】

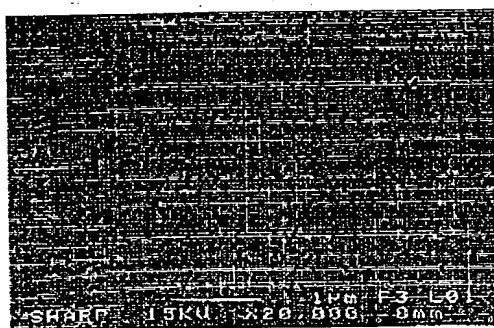


(12)

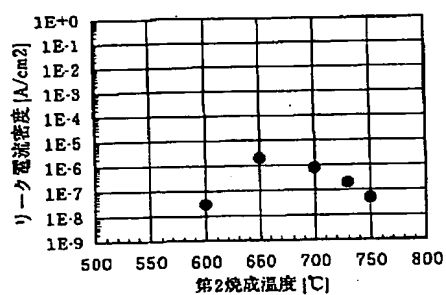
【図9】



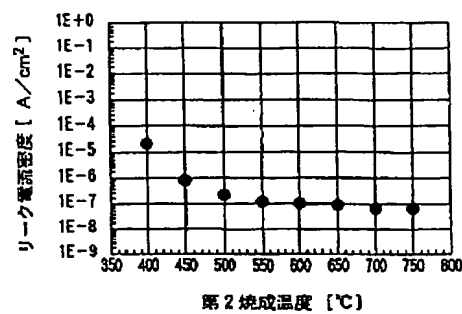
【図11】



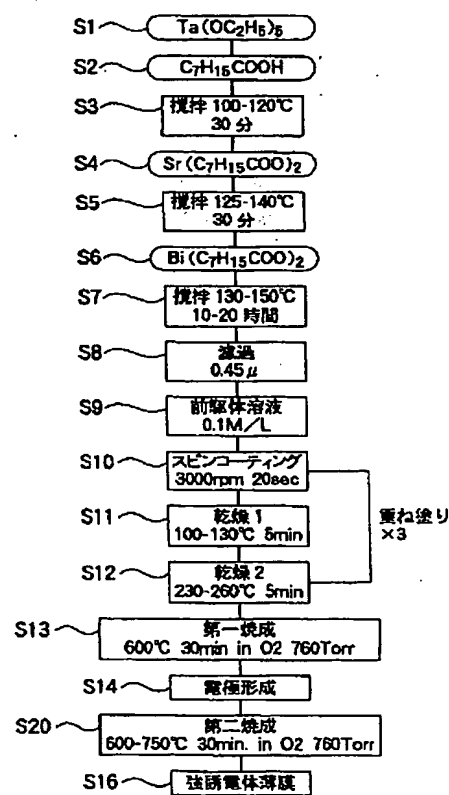
【図16】



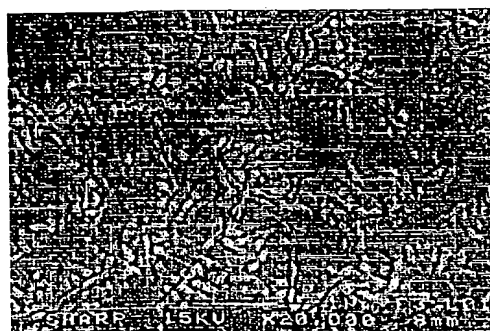
【図10】



【図12】

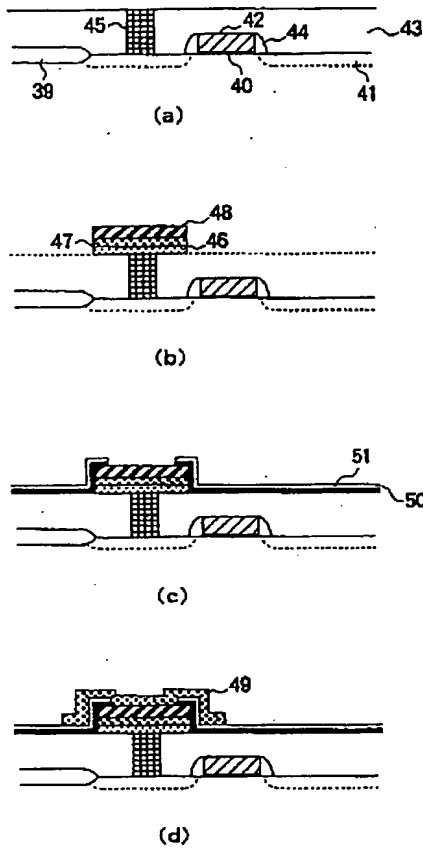


【図17】

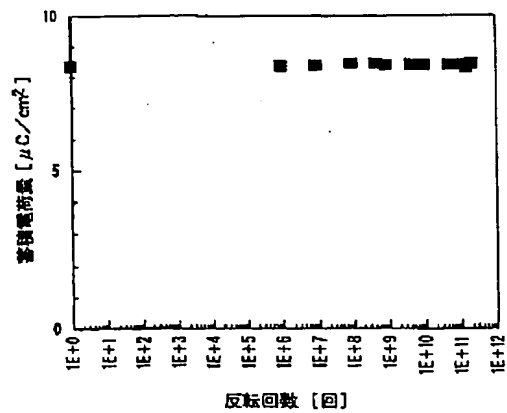


(13)

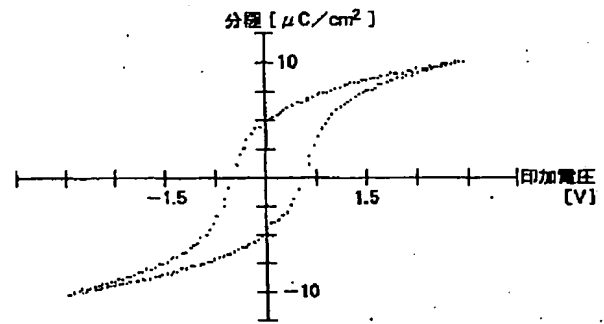
【図19】



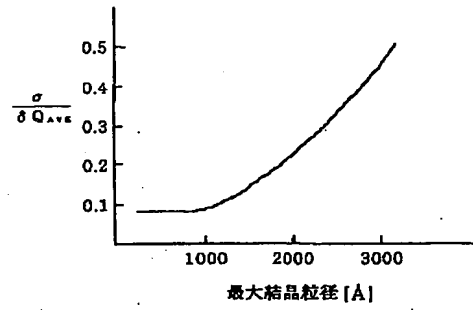
【図21】



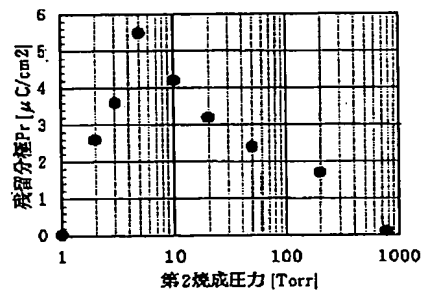
【図20】



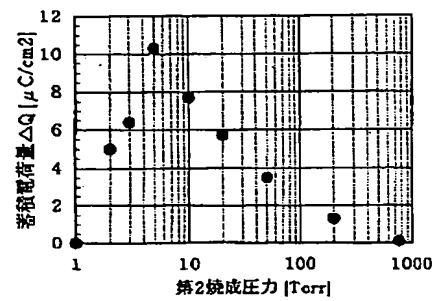
【図22】



【図23】

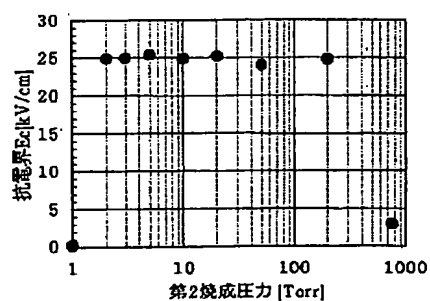


【図24】

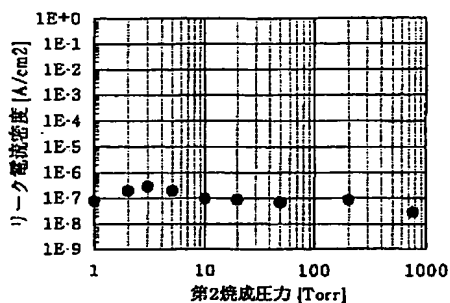


(14)

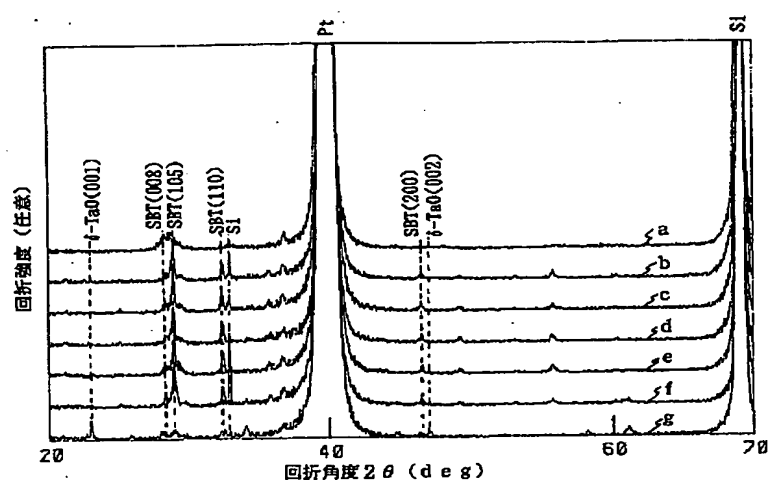
【図25】



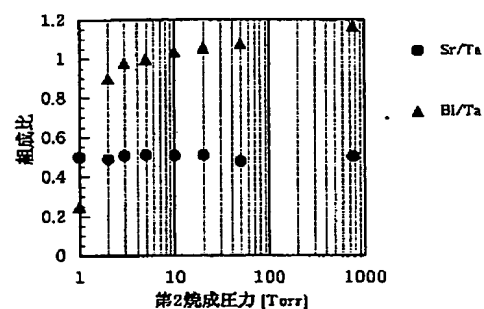
【図26】



【図27】



【図28】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 29/788

29/792

37/02

41/09

41/187

// H 0 1 L 21/316

識別記号

庁内整理番号

F I

H 0 1 L 29/78

41/08

41/18

技術表示箇所

3 7 1

C

1 0 1 B

(72) 発明者 松永 宏典

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 木場 正義

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-153597

(43)Date of publication of application : 10.06.1997

(51)Int.Cl.

H01L 27/108
H01L 21/8242
H01G 4/33
H01L 27/10
H01L 21/8247
H01L 29/788
H01L 29/792
H01L 37/02
H01L 41/09
H01L 41/187
// H01L 21/316

(21)Application number : 08-036041

(71)Applicant : SHARP CORP

(22)Date of filing : 23.02.1996

(72)Inventor : USHIKUBO MAHO
ITO YASUYUKI
YOKOYAMA SEIICHI
MATSUNAGA HIRONORI
KOBAYASHI MASAYOSHI

(30)Priority

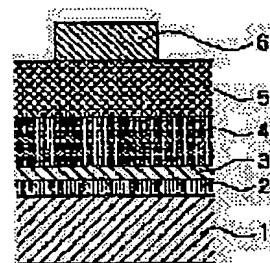
Priority number : 07247509 Priority date : 26.09.1995 Priority country : JP

(54) FERROELECTRIC THIN FILM ELEMENT, FABRICATION THEREOF, AND FERROELECTRIC MEMORY ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To crystallize a ferroelectric thin film by coating a substrate with a precursor solution containing the constitutive elements of ferroelectric thin film material, drying the solution to form a thin film, subjecting the thin film to heat treatment to form a ferroelectric thin film, and then heating ferroelectric thin film in an atmosphere of specified gas pressure.

SOLUTION: A film is formed using a precursor solution containing Ta, Bi and Sr. More specifically, a substrate having a lower platinum electrode 4 is spin coated with a precursor solution. The substrate is then mounted on a heated hot plate and baked in the atmosphere. The filming step is repeated to form a ferroelectric thin film 5. Subsequently, heat treatment is performed, as first baking, in an oxygen atmosphere of atmospheric pressure by RTA and a Pt upper electrode 6 is deposited using a mask by EB deposition. After forming the upper electrode, second baking is



performed by RTA method in an oxygen atmosphere of 10Torr which is lower than 1atm. Second baking is performed in order to crystallize the ferroelectric thin film perfectly.

LEGAL STATUS

[Date of request for examination]	02.07.1999
[Date of sending the examiner's decision of rejection]	12.09.2000
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]	
[Date of final disposal for application]	
[Patent number]	3188179
[Date of registration]	11.05.2001
[Number of appeal against examiner's decision of rejection]	2000-16205
[Date of requesting appeal against examiner's decision of rejection]	11.10.2000
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the manufacture approach of the ferroelectric thin film equipped with a lower electrode layer, a ferroelectric thin film, and an up electrode layer in order on a substrate The process which applies the precursor solution containing a metal to the front face of said lower electrode layer formed on the substrate, The process which heats the applied precursor solution, removes only a solvent and is dried, The manufacture approach of the ferroelectric thin film characterized by including the 1st heat treatment process which heats the dried precursor and forms a ferroelectric thin film, and the 2nd heat treatment process heated in a gas pressure ambient atmosphere lower than one atmospheric pressure after forming an up electrode layer on this ferroelectric thin film.

[Claim 2] The manufacture approach of a ferroelectric thin film according to claim 1 that gas pressure of the ambient atmosphere of said 2nd heat treatment process is characterized by being 20 or less Torr.

[Claim 3] The manufacture approach of a ferroelectric thin film according to claim 2 that gas pressure of the ambient atmosphere of said 2nd heat treatment process is characterized by 2 or more Torr being 20 or less Torr.

[Claim 4] The manufacture approach of a ferroelectric thin film given in any 1 term of claims 1-3 to which heating temperature of said 2nd heat treatment process is characterized by 500-degree-C or more being 650 degrees C or less.

[Claim 5] The manufacture approach of a ferroelectric thin film given in any 1 term of claims 1-4 to which said precursor solution is characterized by using metaled carboxylate and a metaled alkoxide as a component.

[Claim 6] The ferroelectric thin film to which said ferroelectric thin film is characterized by the diameter of the maximum crystal grain consisting of a bismuth layer structure compound 700A or less in the ferroelectric thin film equipped with the lower electrode layer, the ferroelectric thin film, and the up electrode layer in order on the substrate.

[Claim 7] In the semiconductor memory component containing the memory cell equipped with one transistor for a switch, and one ferroelectric capacitor The semi-conductor substrate top with which said transistor for a switch was formed The insulator thin film of a wrap 1st, this — with the contact plug into which it pierced through the 1st insulator thin film, and the interior was filled up with conductive material The ferroelectric memory device characterized by having the stack mold structure equipped with the lower electrode formed on this contact plug, the ferroelectric thin film formed on this lower electrode, and the up electrode formed on this ferroelectric thin film, and said ferroelectric thin film consisting of a bismuth layer structure compound.

[Claim 8] The ferroelectric memory device according to claim 7 to which the bismuth layer structure compound which accomplishes said ferroelectric thin film is characterized by being the compound of Ta or Ti which contains either at least including Sr and Bi.

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the ferroelectric thin film used for a memory device, a pyroelectric sensor component, a piezoelectric device, etc., a ferroelectric thin film, and a ferroelectric memory device.

[0002]

[Description of the Prior Art] Since a ferroelectric thin film has many functions, such as spontaneous polarization, a high dielectric constant, the electro-optical effect, the piezo-electric effect, and a pyroelectric effect, it is applied to extensive device development. for example, the pyroelectricity — using — an infrared linear array sensor — moreover, piezoelectric [the] — using — an ultrasonic sensor — the electro-optical effect — using — an optical waveguide modulator — the high dielectric — using — DRAM and the capacitor for MMIC — ** — it is used in various directions.

[0003] Also in those extensive application device development, development of the ferroelectric nonvolatile memory (FRAM) which is high-density and operates at a high speed with combination with a semiconductor memory technique with progress of thin film coating technology in recent years is prosperous. The researches and developments by which it reads and the nonvolatile memory using a ferroelectric thin film turns to utilization as memory in which the high-speed writing / not only replacement of the nonvolatile memory of the former [properties /, such as height of low-battery actuation and writing / read-out resistance,] but the replacement to SRAM or DRAM is also possible are done briskly.

[0004] A coercive field (E_c) is small, a remanence (P_r) is large and an ingredient with the big repeat resistance of polarization reversal is [it is low leakage current and] required for such device development. Furthermore, since reduction of operating voltage and a semi-conductor micro-processing process are suited, it is desirable to realize the above-mentioned property with the thin film of 200nm or less of thickness.

[0005] And as a ferroelectric ingredient used for these applications, the oxide ingredient of the perovskite structure represented by PZT (titanic-acid lead zirconate, $Pb(Ti, Zr)O_3$) was in use. However, since the ingredient which contains lead as the configuration element like PZT has the high vapor pressure of lead or its oxide, lead evaporates at the time of membrane formation, a defect is generated in the film, or when severe, it forms a pinhole. Consequently, when leakage current increased or polarization reversal was repeated further, there was a fault, like the fatigue phenomena to which the magnitude of spontaneous polarization decreases happen. If the replacement to FRAM by ferroelectric nonvolatile memory is considered especially, in order to have to guarantee that after 10¹⁵ polarization reversal does not have change of a property about fatigue phenomena, development of a ferroelectric thin film without fatigue was desired.

[0006] On the other hand, researches and developments of a bismuth layer structure compound ingredient are done in recent years. The bismuth layer structure compound ingredient was discovered by Smolenskii and others in 1959 (G. A.Smolenskii, V.A.Isupov and A.I.Agranovskaya, Soviet Phys.Solid State, 1,149 (1959)), and a detailed examination was made by Subbarao after that (E. C.Subbarao,

J.Phys.Chem.Solids, 23,665 (1962)). Recently, Carlos A.Paz de Araujo and others discovers that this bismuth layer structure compound thin film fits the application to a ferroelectric and a high dielectric integrated circuit, and after 1012 polarization reversal or more has reported especially the outstanding fatigue property that change is not looked at by the property (International Application No.PCT/US 92/10542).

[0007] moreover, the sol gel process or MOD (Metal OrganicDecomposition) which uses physical methods, such as vacuum evaporation technique, the sputtering method, and the laser ablation method, and an organometallic compound as a start raw material at the manufacture approach of a ferroelectric thin film, carries out pyrolysis oxidation of these, and obtains an oxide ferroelectric — law and MOCVD (Metal Organic Chemical Vapor Deposition) — the chemical approaches, such as law, are used.

[0008] special vacuum devices are unnecessary and membrane formation of a large area is [that homogeneous mixing of atomic level is possible for a sol gel process or the MOD method in the above-mentioned forming-membranes method, presentation control being easy and excelling in repeatability, and] possible at ordinary pressure — it is low cost industrially — etc. — it is widely used from the advantage.

[0009] Especially as the membrane formation approach of the above-mentioned bismuth layer structure compound thin film, the MOD method is used and a ferroelectric thin film or a dielectric thin film is manufactured at the following processes by the membrane formation process of the conventional MOD method (International Application No.PCT/US 92/10542, PCT/US 93/10021).

[0010] 1) The process which carries out spreading membrane formation of the precursor solution which consists of compound ARUKISHIDO etc. on a substrate with a spin coat method etc.

[0011] 2) The process which carries out stoving of the obtained film for 30 seconds to several minutes at 150 degrees C in order to make it secede from alcohol and the residual moisture which carried out reaction generation in the solvent or the process of 1 from the inside of the film.

[0012] 3) in order to carry out pyrolysis removal of the organic substance component in the film — RTA (Rapid Thermal Annealing) — the process heat-treated for 30 seconds at 725 degrees C in an oxygen ambient atmosphere using law.

[0013] 4) The process heat-treated at 800 degrees C in an oxygen ambient atmosphere for 1 hour in order to crystallize the film.

[0014] 5) The process heat-treated for 30 minutes at 800 degrees C in an oxygen ambient atmosphere after forming an up electrode.

[0015] In addition, in order to obtain desired thickness, the process of 1-3 is repeated and, finally 4 or 5 processes are performed.

[0016] A ferroelectric thin film or a dielectric thin film can be manufactured as mentioned above.

[0017]

[Problem(s) to be Solved by the Invention] However, in the manufacture approach of the ferroelectric thin film by the above conventional MOD methods, with the burning temperature of 650 degrees C or less, the ferroelectric thin film by the process (process 4) which crystallizes before forming an up electrode needed to carry out thing long duration heat-treatment at the elevated temperature extremely with 800 degrees C for 1 hour, in order to hardly crystallize but to acquire a high remanence value (International Application No.PCT/US 93/10021). For this reason, since dielectric strength also fell and micro processing became difficult further while particle diameter became ***** of the magnitude which is about 2000A and leakage current increased, it was not suitable for high integration.

[0018] Moreover, in the conventional MOD method, since there was a problem of a crack occurring when thickness obtained on 1 time of a spin coat is made into about 1000A or more, the concentration of a precursor solution was adjusted so that it might become 1000A or less about the thickness obtained on 1 time of a spin coat. Therefore, in order to obtain about 2000A thickness, whenever several times of spreading processes were needed and it applied once by the spin coater, heat treatment by RTA was needed, and it was very unproductive on the manufacture process of a component.

[0019] On the other hand, in order to integrate ferroelectric nonvolatile memory highly, it is necessary

to connect a ferroelectric capacitor with a selection transistor with a contact plug, and to adopt the stack mold structure in which the ferroelectric capacitor was formed on the contact plug (S. Onishi et al., IEEE IEDM Technical Digest, p.843 (1994)). However, heat-treatment of long duration has problems, such as causing the poor contact and property degradation by the counter diffusion, and the oxidation of contact plug ingredients, such as polish recon, the contact plug ingredient and the lower electrode material in the interface of a ferroelectric thin film and an electrode, counter diffusion with a ferroelectric thin film, etc., at the elevated temperature in the inside of the oxygen ambient atmosphere for forming a ferroelectric thin film. For this reason, although it is necessary to form thickly the electrode material and barrier metal ingredient which bear an elevated temperature for a long time, the level difference of a capacitor part becomes large by this, and it has been a failure in the case of integrating a component highly. Therefore, in order to make thickness of the whole capacitor thin and to attain high integration, as for a ferroelectric thin film, it is desirable to acquire a good property by low-temperature heat treatment conventionally. As the standard, the heat treatment temperature of a ferroelectric thin film needs to be 650 degrees C or less.

[0020] This invention is made in order to solve the above-mentioned technical problem, it can carry out [low temperature]-izing of the membrane formation temperature compared with the manufacture approach of the conventional ferroelectric thin film, and aims at offering the ferroelectric [which was manufactured by the manufacture approach of a ferroelectric thin film that a manufacture process is simplified, and this manufacture approach] thin film with which it was precise with the ferroelectric and leakage current was reduced, and the ferroelectric memory device which has stack mold structure.

[0021]

[Means for Solving the Problem] In the manufacture approach of the ferroelectric thin film equipped with a lower electrode layer, a ferroelectric thin film, and an up electrode layer in order on a substrate in this invention in order to solve the above-mentioned technical problem The process which applies the precursor solution containing a metal to the front face of said lower electrode layer formed on the substrate, The process which heats the applied precursor solution, removes only a solvent and is dried, It is considering as the manufacture approach of a ferroelectric thin film including the 1st heat treatment process which heats the dried precursor and forms a ferroelectric thin film, and the 2nd heat treatment process heated in a gas pressure ambient atmosphere lower than one atmospheric pressure after forming an up electrode layer on the ferroelectric thin film.

[0022] Furthermore, in this invention, gas pressure of the ambient atmosphere of the 2nd heat treatment process is set to 20 or less Torrs in the manufacture approach of the above-mentioned ferroelectric thin film.

[0023] Furthermore, in this invention, gas pressure of the ambient atmosphere of the 2nd heat treatment process is set to 2 or more-Torr 20 or less Torr in the manufacture approach of the above-mentioned ferroelectric thin film.

[0024] Furthermore, in this invention, heating temperature of the 2nd heat treatment process is made into 500 degrees C or more 650 degrees C or less in the manufacture approach of the above-mentioned ferroelectric thin film.

[0025] Furthermore, in this invention, what uses metaled carboxylate and a metaled alkoxide as a component is used as a precursor solution in the manufacture approach of the above-mentioned ferroelectric thin film.

[0026] Moreover, in this invention, the ferroelectric thin film supposes that the diameter of the maximum crystal grain consists of a bismuth layer structure compound 700Å or less in the ferroelectric thin film equipped with the lower electrode layer, the ferroelectric thin film, and the up electrode layer in order on the substrate.

[0027] Moreover, it sets for the semiconductor memory component containing the memory cell equipped with one transistor for a switch, and one ferroelectric capacitor. The semi-conductor substrate top with which the transistor for a switch was formed The insulator thin film of a wrap 1st, The contact plug into which it pierced through the 1st insulator thin film, and the interior was filled up with conductive material,

It has the stack mold structure equipped with the lower electrode formed on the contact plug, the ferroelectric thin film formed on the lower electrode, and the up electrode formed on the ferroelectric thin film, and it is supposed that a ferroelectric thin film consists of a bismuth layer structure compound. [0028] Furthermore, in this invention, the bismuth layer structure compound which accomplishes a ferroelectric thin film is used as the compound of Ta or Ti which contains either at least in the above-mentioned ferroelectric memory device including Sr and Bi.

[0029] as mentioned above, by the manufacture approach of the ferroelectric thin film of this invention In the manufacture approach of the ferroelectric thin film by the sol gel process or the MOD method After applying to a substrate the precursor solution which consists of the component element of a ferroelectric thin film material and drying, RTA heating down stream processing for carrying out pyrolysis removal of the organic substance component in the conventional film is skipped. A spreading desiccation process is repeated several times and it considers as predetermined thickness, and it crystallizes at the same time the 1st heat treatment process pyrolyzes and removes the organic substance after that. And the ferroelectric thin film is crystallized by performing time amount heating sufficient in a gas pressure ambient atmosphere lower than one atmospheric pressure as the 2nd heat treatment process after forming an up electrode thin film on it. Since the film manufactured by the manufacture approach turns into precise film with small particle diameter by this while low temperature-ization of membrane formation temperature is attained compared with the conventional manufacture approach according to this invention, leakage current is small and that it is [which it is dielectric strength] high can obtain the ferroelectric thin film which was very excellent.

[0030]

[Embodiment of the Invention] Hereafter, the gestalt of the 1st operation by this invention is explained with reference to a drawing. Drawing 1 is the sectional view showing the structure of the ferroelectric thin film by the gestalt of the 1st operation by the manufacture approach of the ferroelectric thin film of this invention. As shown in drawing 1, this ferroelectric thin film forms the silicon thermal oxidation film 2 of 200nm of thickness in the front face of n mold silicon substrate 1, and sequential formation of the Ta film 3 of 30nm of thickness, the Pt film 4 of 200nm of thickness, 2OSrBi2Ta9 thin film (a SBT thin film is called hereafter) 5 that is a ferroelectric thin film of 200nm of thickness, and the Pt up electrode 6 of 100nm of thickness is carried out on it, respectively. In addition, the silicon thermal oxidation film 2 is formed as an interlayer insulation film, and is not limited to this here. Moreover, since the Pt film 4 forms the oxide film on this, it is chosen as an electrode material which cannot oxidize easily, in addition conductive oxide film, such as RuO2 and IrO2, etc. may be used for it. And the Ta film 3 is used in consideration of the adhesion of the silicon thermal oxidation film 2 and the Pt film 4, in addition Ti film and the TiN film may be used for it.

[0031] Next, the manufacture approach of the ferroelectric thin film shown in drawing 1 is explained.

[0032] First, thickness forms in the front face of n mold silicon substrate 1 the silicon thermal oxidation film 2 which is 200nm. In addition, with the gestalt of this operation, it forms as the formation approach of the silicon thermal oxidation film by oxidizing thermally silicon substrate 1 front face at 1000 degrees C. And on this silicon thermal oxidation film 2, the Ta film 3 whose thickness is 30nm is formed by the spatter, the Pt film 4 whose thickness is 200nm is further formed on this, and this is used as a ferroelectric thin film formation substrate.

[0033] The synthetic approach of the precursor solution hereafter used in order to form the SBT thin film 5 on this substrate, and the process which forms a SBT thin film as a ferroelectric thin film on a substrate using this precursor solution are explained referring to process drawing of drawing 2.

[0034] As a start raw material of precursor solution composition, tantalum ethoxide ($\text{Ta}(\text{OC}_2\text{H}_5)_5$), bismuth-2-ethyl hexanate ($\text{Bi}_2(\text{C}_7\text{H}_{15}\text{COO})_2$), and strontium-2-ethyl hexanate ($\text{Sr}_2(\text{C}_7\text{H}_{15}\text{COO})_2$) are used. In order to carry out weighing capacity of the tantalum ethoxide (step S1), to make it dissolve into 2-ethyl hexanate (step S2) and to promote a reaction, it agitates heating from 100 degrees C to 120 degrees C of maximum temperatures, and is made to react for 30 minutes (step S3). Then, the ethanol and the moisture which were generated by the reaction at 12 degrees C are removed. Heating churning

of the strontium-2-ethyl⁶ hexanate which the 20ml – 30ml xylene was made to dissolve in the solution is carried out for 30 minutes at 140 degrees C of maximum temperatures from optimum dose **** (step S4) and 125 degrees C so that it may be set to $Sr/Ta=1/2$ (step S5). Then, heating churning of the bismuth-2-ethanol which the 10ml xylene was made to dissolve in this solution is carried out at 150 degrees C of maximum temperatures from optimum dose **** (step S6) and 130 degrees C for 10 hours so that it may be set to $Sr/Bi/Ta=1/2.4/2$ (step S7).

[0035] Next, in order to remove the xylene used as the alcohol, the water, and the solvent of low molecular weight from this solution, it distills at the temperature of 130 degrees C – 150 degrees C for 5 hours. In order to remove dust from this solution, it **** with the filter of the diameter of 0.45 micrometer (step S8). Then, the concentration of $SrBi_{2.4}Ta_{2.009.6}$ of a solution is adjusted to 0.1 mol/l, and let this be a precursor solution (step S9). In addition, these raw materials are not limited to the above-mentioned thing, and the above-mentioned start raw material should just dissolve a solvent enough.

[0036] Subsequently, the above-mentioned precursor solution is used and membranes are formed at the following processes. The above-mentioned precursor solution is dropped on a substrate with the lower platinum electrode 4 mentioned above, and spin spreading is carried out by 3000rpm during 20 seconds (step S10). Then, it puts on the hot play which heated the substrate at 120 degrees C, and is made to BEKU and dry in atmospheric air for 5 minutes (step S11). In that case, in order to advance desiccation to homogeneity, it is desirable to make a temperature requirement into 100 degrees C – 130 degrees C, and the optimal drying temperature is about 120 degrees C. Since a crack occurs by membrane stress in the below-mentioned phase which carries out a laminating when it dries at temperature higher than this temperature requirement, for example, 150 degrees C, this is for preventing it.

[0037] Then, in order to volatilize a solvent completely, it puts on the hot plate which heated the wafer at 250 degrees C, and BEKU and calcinates in atmospheric air for 5 minutes (step S12). This temperature is more than the boiling point of a solvent, and it is desirable to carry out at the temperature of 250 degrees C – about 300 degrees C for compaction of process time amount. This membrane formation process is repeated 3 times, and the ferroelectric thin film of 200nm of thickness is formed.

[0038] then — as the 1st baking — RTA — using law, heat treatment for 30 minutes was performed at 600 degrees C among the atmospheric pressure oxygen ambient atmosphere (step S13), and the mask vacuum evaporatio^{no} of the Pt up electrode 6 of 200nm of thickness was carried out with EB (electron beam) vacuum deposition (step S14). In this 1st baking, pyrolysis removal of the organic substance contained in the ferroelectric thin film by which spreading desiccation was carried out is performed. And a part of crystallization of a ferroelectric thin film is performed to pyrolysis removal and coincidence of the organic substance, and it is thought that it acts as a kind of nucleation process. in addition — the gestalt of this operation — RTA — although heat-treated in the atmospheric pressure oxygen ambient atmosphere using law — RTA — law — the usual heat treating furnace may be used for except, and mixed gas with inert gas, such as oxygen, nitrogen, and an argon, may be used for it as a controlled atmosphere. Moreover, with the gestalt of this operation, as electrode size for ferroelectric characterization, although Pt up electrode was used as the electrode of 100 micrometerphi, this invention is not limited to such electrode configurations or electrode sizes.

[0039] next — as the 2nd baking (this baking) after up electrode formation — RTA — baking for 30 minutes is performed at 400 degrees C – 750 degrees C in 10Torr oxygen ambient atmosphere using law (step S15). This 2nd baking is for performing perfect crystallization of a ferroelectric thin film. in addition — the gestalt of this operation — RTA — although calcinated in 10Torr oxygen ambient atmosphere using law — RTA — law — as long as heat treatment is possible for except in a gas pressure ambient atmosphere lower than one atmospheric pressure, the usual heat treating furnace may be used, and as a firing environments, you may be the mixed gas which inert gas, such as nitrogen or an argon, is sufficient as, and was mixed of inert gas, such as nitrogen and an argon, and the oxygen two or more kinds in addition to oxygen. Production of a ferroelectric thin film is completed according to the above process

(step S16).

[0040] Drawing 3 , drawing 4 , and drawing 5 are graphs which show the strong dielectric characteristics to the 2nd burning temperature of the film obtained by the above-mentioned production process. Measurement of strong dielectric characteristics performs applied voltage as 3V to the capacitor of the type shown in drawing 1 using a well-known SOYA tower circuit.

[0041] Drawing 3 is a graph which shows the value of the membranous remanence P_r . Although P_r also decreases with the fall of the 2nd burning temperature, at least 600 degrees C of two or more 4microC/cm values are acquired for the 2nd burning temperature. Drawing 4 is a graph which shows the value of the coercive electric field E_c of the film produced by this manufacture approach, above 500 degrees C, is not based on the 2nd burning temperature, but shows the almost fixed value. Amount of stored charge ΔQ shown in drawing 5 increases like P_r shown in drawing 3 depending on the 2nd burning temperature, and the 2nd burning temperature shows the good property above 500 degrees C.

[0042] Drawing 6 , drawing 7 , and drawing 8 are graphs which show the applied-voltage dependency of the ferroelectric property at the time of performing annealing for 30 minutes in an atmospheric pressure oxygen ambient atmosphere with the 1st burning temperature of 600 degrees C, and performing annealing for 30 minutes for the 2nd baking at 600 degrees C among 10Torr oxygen ambient atmosphere. Respectively drawing 6 , drawing 7 , and drawing 8 show the value of P_r , E_c , and ΔQ , and are a thing, and these graphs show from these that P_r , E_c , and ΔQ are beginning to be saturated from about applied-voltage 3V with the increment in applied voltage. Even if this has change of some electrical potential differences in the applied voltage beyond 3V, it shows that a fixed property is always acquired and can be said to be a good ferroelectric property.

[0043] Drawing 9 is the graph which plotted change of amount of stored charge ΔQ to the count of repeat polarization reversal at the time of impressing electrical-potential-difference 3V and a pulse with a frequency of 1kHz to the sample which performed annealing for 30 minutes in the atmospheric pressure oxygen ambient atmosphere with the 1st burning temperature of 600 degrees C, and performed annealing for 30 minutes for the 2nd baking at 600 degrees C among 10Torr oxygen ambient atmosphere, and performing repeat polarization reversal to it. After polarization reversal of 2×10^{11} cycle shows a good property to change not being looked at by the amount of stored charge, but completely applying to it at nonvolatile memory.

[0044] Drawing 10 is a graph which shows change of the leakage current over the 2nd burning temperature at the time of 3V impression. Above 550 degrees C, it was not based on the 2nd burning temperature, but had become the value of $6 - 9 \times 10^{-8}$ A/cm², and below 500 degrees C, although leakage current was large, the increment in the leakage current which became a problem conventionally on the occasion of low-temperature-izing of the 2nd burning temperature was not seen.

[0045] Drawing 11 performs annealing for 30 minutes in an atmospheric pressure oxygen ambient atmosphere with the 1st burning temperature of 600 degrees C, and it is the surface SEM photograph of the film after performing annealing for 30 minutes for the 2nd baking at 600 degrees C among 10Torr oxygen ambient atmosphere, and it turns out that it is the precise film which consists of spherical crystal grain 700A or less. Moreover, the 2nd burning temperature became the precise film which consists of spherical crystal grain 700A or less like that whose thing whose 2nd burning temperature is 650 degrees C is also 600 degrees C. On the other hand, annealing was performed for 30 minutes in the atmospheric pressure oxygen ambient atmosphere with the 1st burning temperature of 600 degrees C, and the crystal grain with the still bigger SBT film at the time of performing annealing for 30 minutes at 700 degrees C among the oxygen ambient atmosphere of 10Torr(s) than that whose 2nd burning temperature is 700 degrees C in that whose 2nd burning temperature 500-5000A crystal grain exists by the shape of a string, and is 750 degrees C existed the 2nd baking. The diameter of the maximum crystal grain of the crystal grain child who constitutes the SBT film with the rise of the 2nd burning temperature increased, and the result that the precise film with which the 2nd burning temperature consists of spherical crystal grain 700A or less in 650 degrees C or less could be formed was obtained from these things.

[0046] Although it had become the polycrystal of $\text{SrBi}_2\text{Ta}_2\text{O}_9$ with the 2nd burning temperature of 500 degrees C or more as a result of the X diffraction, the clear crystal was not able to be checked below 450 degrees C.

[0047] As an example of a comparison of the gestalt of implementation of the above 1st, the SBT thin film was formed using the conventional manufacture approach, and the ferroelectric thin film which has the same structure as drawing 1 was manufactured for evaluation of the electrical property.

[0048] Drawing 12 is drawing showing the synthetic approach of the precursor solution used in order to form the SBT thin film 5 in the ferroelectric thin film shown in drawing 1, and the conventional process which forms a SBT thin film as a ferroelectric thin film on a substrate using this precursor solution. The same number is given to the same process as the process of the gestalt of the 1st operation shown in drawing 2.

[0049] In manufacture of the ferroelectric thin film in this example of a comparison, a different point from the gestalt of the 1st operation of the above-mentioned is only the process of the 2nd baking at the time of formation of a SBT thin film. namely, the SBT film which carried out the mask vacuum evaporation of the Pt up electrode 6 of 100 micrometerphi after the 1st baking like the gestalt of the 1st operation of the above-mentioned — receiving — the thing of the example of a comparison — as the 2nd baking — RTA — 600–750-degree-C baking for 30 minutes was performed in the atmospheric pressure oxygen ambient atmosphere using law (step S20).

[0050] Drawing 13, drawing 14, and drawing 15 are graphs which show the strong dielectric characteristics to the 2nd burning temperature of the film obtained at the process of this example of a comparison. Measurement of strong dielectric characteristics performs applied voltage as 3V like the gestalt of implementation of the above 1st to the capacitor of the type shown in drawing 1 using a well-known SOYA tower circuit.

[0051] Drawing 13 is a graph which shows the value of the membranous remanence P_r . When the 2nd burning temperature falls, bordering on 730 degrees C, P_r value decreases rapidly, turns into two or less 2microC/cm and a very small value below 700 degrees C, and are ***** about a ferroelectricity at 600 degrees C. [most] Although two or more 4microC/cm P_r value is acquired with the gestalt of the 1st operation as compared with the gestalt of the above-mentioned's 1st operation of this, the 2nd burning temperature was possible at 600 degrees C, but (refer to drawing 3) in the example of a comparison, if it is not 730 degrees C or more in the 2nd burning temperature, it turns out that two or more 4microC/cm P_r value cannot be acquired. Although equivalent P_r value is acquired from this, it is clear that the gestalt of the 1st operation has realized low temperature-ization of the 2nd burning temperature rather than the thing of the example of a comparison.

[0052] Drawing 14 shows the value of a coercive electric field E_c , above 650 degrees C, is not based on the 2nd burning temperature, but shows the almost fixed value. If amount of stored charge ΔQ shown in drawing 15 becomes the temperature not more than it bordering on the 2nd burning temperature of 730 degrees C like P_r shown in drawing 13, the value will decrease rapidly.

[0053] Drawing 16 is a graph which shows change of the leakage current over the 2nd burning temperature at the time of 3V impression. Although leakage current increases a single figure at a time and it becomes a fall inclination at 600 degrees C whenever the 2nd burning temperature falls by 50 degrees C, as for a 600-degree C thing, a ferroelectricity is hardly shown.

[0054] After drawing 17 performs annealing for 30 minutes in an atmospheric pressure oxygen ambient atmosphere with the 1st burning temperature of 600 degrees C and performs annealing for 30 minutes for the 2nd baking at 700 degrees C among an atmospheric pressure oxygen ambient atmosphere, it is the surface SEM photograph of the film of **. As for the SBT film in this case, existence of 1500–9000Å crystal grain exists by the shape of a string.

[0055] Here, it compares with the thing of the gestalt of the 1st operation of the above-mentioned, and the thing of this example of a comparison about the size of crystal grain. Although crystal grain was 500–5000Å by the SBT film at the time of performing annealing for 30 minutes in an atmospheric pressure oxygen ambient atmosphere with the 1st burning temperature of 600 degrees C, and

performing annealing for 30 minutes for the 2nd baking at 700 degrees C among the oxygen ambient atmosphere of 10Torr(s) as above-mentioned, in this example of a comparison, it is 1500–9000Å as above-mentioned, and the way of the thing of the gestalt of the 1st operation serves as small crystal grain from the thing of the example of a comparison. According to the comparison of these SBT film formed only on condition that the ambient-gas-pressure force of the 2nd baking differing from this in the film in which a ferroelectricity is shown, it is clear by performing the 2nd baking in a gas pressure ambient atmosphere lower than one atmospheric pressure for membranous eburation to be possible. [0056] Subsequently, it compares with the thing of the gestalt of the 1st operation of the above-mentioned about the size of the crystal grain of a ferroelectric thin film and the thing of this example of a comparison from which a remanence P_r value becomes almost equivalent. In the gestalt of the 1st operation of the above-mentioned, as annealing is performed for 30 minutes in an atmospheric pressure oxygen ambient atmosphere with the 1st burning temperature of 600 degrees C and the SBT film at the time of performing annealing for 30 minutes at 600 degrees C among the oxygen ambient atmosphere of 10Torr(s) showed the 2nd baking to drawing 3, P_r value was about 4.2microC/cm², and crystal grain was 700Å or less. On the other hand, as that from which P_r value becomes almost equivalent to this in the example of a comparison, it was P_r value = about 4.3microC/cm² which performed annealing for 30 minutes in the atmospheric pressure oxygen ambient atmosphere with the 1st burning temperature of 600 degrees C, and performed annealing for 30 minutes for the 2nd baking at 730 degrees C among the atmospheric pressure oxygen ambient atmosphere (refer to drawing 13), and as a result of observing this SBT film front face, the magnitude of that crystal grain was 1500–9000Å. If these are compared, the way of the thing of the gestalt of the 1st operation serves as crystal grain smaller than the thing of the example of a comparison. Also in the comparison of the SBT film with which almost equivalent P_r value is acquired from this, it is clear by performing the 2nd baking in a gas pressure ambient atmosphere lower than one atmospheric pressure for membranous eburation to be possible.

[0057] Although it had become the polycrystal of SrBi₂Ta₂O₉ with the 2nd burning temperature of 650 degrees C or more in the example of a comparison as a result of the X diffraction, clear crystallization was not able to be checked below 600 degrees C.

[0058] As mentioned above, although 730 degrees C or more needed to be calcinated by the conventional manufacture approach to see increase of a rapid reduction of P_r and ΔQ value, and leakage current, and use it as ferroelectric random-access memory when the 2nd burning temperature was lowered According to the gestalt of the 1st operation, while suppressing a rapid reduction of P_r accompanying the fall of the 2nd burning temperature, and ΔQ value by [which are depended on this invention] performing the 2nd baking in a gas pressure ambient atmosphere lower than one atmospheric pressure, the increment in leakage current can also be controlled. Thereby, property sufficient as ferroelectric memory with the highest burning temperature of 650 degrees C or less is acquired, and it becomes possible to adopt stack structure required for high integration of FRAM. Moreover, it is suitable also for micro processing and suitable for manufacture of a high density device while the manufacture approach of the gestalt this operation controls a crystal grain child's big and rough-ization, and can realize membranous eburation and surface flattening and the proposal of leakage current of it is attained.

[0059] Hereafter, the gestalt of the 2nd operation by this invention is explained, referring to a drawing. Drawing 18 is the important section sectional view of the ferroelectric memory cell by this invention which is the gestalt of the 2nd operation. As shown in drawing 18, the ferroelectric memory cell of the gestalt of this operation On the 1st conductivity-type silicon substrate 54, the components separation oxide film 39 and gate oxide 40, The 2nd conductivity-type impurity diffusion field 41 and polish recon word line 42, It has interlayer insulation films 43, 44, 51, and 52, the memory section contact plug 45, the TiN barrier metal layer 46, the Pt lower electrode 47, the ferroelectric thin film 48, Pt plate line 49, the Ta₂O₅ barrier insulator layer 50, and the aluminum bit line 53.

[0060] Next, the manufacture approach of this ferroelectric memory cell is explained using drawing 19 which is the explanatory view showing the example of the manufacture approach of the ferroelectric

random-access memory of the structure shown in drawing 18.

[0061] a phot only with the part well-known as shown in drawing 19 (a), after forming the transistor for a switch with a well-known MOSFET formation process and covering with an interlayer insulation film 43 to which a bit line contacts the impurity diffusion field 41 of a substrate — well-known CMP (Chemical Mechanical Polishing) after embedding the polish recon which dug and carried out impurity diffusion of the contact hole using the lithography method and the dry etching method — flattening of the front face of the polish recon plug 45 is carried out to an interlayer insulation film 43 by law.

[0062] Next, as shown in drawing 19 (b), after depositing the TiN barrier metal layer 46 2000Å of thickness by the well-known sputter, the Pt thin film 47 is deposited 1000Å of thickness by the well-known sputter, and it considers as a lower electrode. Although $2\text{OSrBi}_2\text{Ta}_9$ thin film (a SBT thin film is called hereafter) is formed as a ferroelectric thin film 48 on this lower electrode. The synthetic approach of the precursor solution used in order to form a SBT thin film, and among the processes which form a SBT thin film using this precursor solution, the process to the 1st baking. Since it is the same as the process from step S1 of drawing 2 explained with the gestalt of the 1st operation of the above-mentioned to step S13, explanation is omitted.

[0063] It considers as a configuration as processes the magnitude of 3.0-micrometer angle and shows the SBT film 48 after the 1st baking, the Pt lower electrode 47, and the TiN barrier metal layer 46 to drawing 19 (b) using the well-known photolithography method and the dry etching method. For the SBT film, the mixed gas of Ar, and Cl_2 and CF_4 and Pt lower electrode are [the mixed gas of C_2F_6 , and CHF_3 and Cl_2 and the TiN barrier metal of the type of gas used for dry etching using the ECR etcher] Cl_2 gas. Since the SBT film and Pt lower electrode are very precise and it is flat at this time, precise micro processing is possible and a CD loss can be held down to 0.1 micrometers or less.

[0064] Next, as shown in drawing 19 (c), the Ta_2O_5 barrier insulator layer 50 of 300Å of thickness is deposited using a well-known sputter, then silicon oxide of 1500Å of thickness is deposited with a well-known CVD method as an interlayer insulation film 51, and the contact hole of 2.0-micrometer angle is formed in the SBT film upper part after that using the well-known photolithography method and the dry etching method.

[0065] next, it is shown in drawing 19 (d) — as — Pt up electrode of 1000Å of thickness — a well-known sputter — forming — a well-known phot — as the 2nd heat treatment after processing it using the lithography method and the dry etching method and considering as the plate line 49 — RTA — heat treatment for 30 minutes was performed at 600 degrees C in the oxygen ambient atmosphere of 10Torr(s) using law, and the SBT film was crystallized. The cross section of the SBT film after making it crystallize is very smooth too, is precise, and did not spoil the configuration of a ferroelectric capacitor. Moreover, it was 2000Å when the thickness of the SBT film was measured.

[0066] Then, an interlayer insulation film 52 is deposited using a CVD method with a well-known flattening technique, flattening is performed, the contact hole to another impurity diffusion field of the transistor for a switch is formed using the well-known photolithography method and the dry etching method, a bit line 53 is formed using well-known aluminum wiring technique, and a ferroelectric memory cell as shown in drawing 18 is completed.

[0067] Thus, the electrical property of the manufactured ferroelectric memory cell was measured using the well-known SOYA tower circuit. Drawing 20 is a graph which shows the hysteresis loop when measuring applied voltage by 3V. The configuration of the hysteresis loop is good, as for Remanence P_r , 5microC/cm² is obtained, as for the coercive electric field E_c , the value of 30 kV/cm (0.6V) is acquired, and actuation sufficient as a ferroelectric capacitor was checked. Moreover, by applied-voltage 3V, the value of leakage current is 5×10^{-8} A/cm², and property sufficient as a ferroelectric capacitor was checked.

[0068] Drawing 21 is the graph which impressed electrical-potential-difference 3V and a pulse with a frequency of 1MHz, and plotted change of amount of stored charge ΔQ to the count of repeat polarization reversal at the time of performing polarization reversal repeatedly. Change is not looked at by the amount of stored charge, but after polarization reversal of 2×10^{11} cycle completely shows a

property good as nonvolatile memory to it.

[0069] Hereafter, the gestalt of the 3rd operation by this invention is explained, referring to a drawing. The gestalt of the 3rd operation explains the relation of the crystal grain child's diameter of the maximum crystal grain and the amount of stored charge which constitute the SBT film about the same ferroelectric thin film as the gestalt of the 1st operation of the above-mentioned.

[0070] The point that the ferroelectric thin film of the gestalt of the 3rd operation differs from the gestalt of the 1st operation of the above-mentioned is only a point of having divided the configuration of the Pt up electrode 6 of drawing 1 into the plurality of 2-micrometer angle, and structure, the manufacture approach of it, etc. are completely the same as that of the gestalt of the 1st operation as well as the formation process of the SBT film except it.

[0071] Drawing 22 shows the variation in amount of stored charge ΔQ to the diameter of the maximum crystal grain of the SBT film when measuring by 100 places of Pt up electrode of 2-micrometer angle about the ferroelectric thin film of the capacitor structure of the gestalt of the 3rd operation. In drawing 22, an axis of ordinate shows the value which broke the standard deviation (σ) of amount of stored charge ΔQ by the average (ΔQ_{AVE}) of amount of stored charge ΔQ , and an axis of abscissa shows the diameter of the maximum crystal grain of the SBT film. According to drawing 22, with the film with the diameter of the maximum crystal grain smaller than 1000Å, dispersion in amount of stored charge ΔQ has very small $\sigma/\Delta Q_{AVE}$ at 10% or less, and the diameter of the maximum crystal grain shows that the property that a $\sigma/\Delta Q_{AVE}$ value is large and stable is hard to be acquired by the film 1000Å or more. Therefore, as the gestalt of the 1st operation of the above-mentioned explained, in the case where the 2nd burning temperature is 650 degrees C or less, it turns out that the diameter of the maximum crystal grain is the good thing which does not almost have dispersion in strong dielectric characteristics at this time since the precise film 700Å or less is obtained. In order to have sufficient amount of stored charge for using as a dielectric capacitor and to obtain the SBT film with little dispersion in a property from this, as for the 2nd burning temperature, it is desirable that it is the range of 500 degrees C – 650 degrees C.

[0072] Hereafter, the gestalt of the 4th operation by this invention is explained, referring to a drawing. step S15 of drawing 2 of the gestalt of the 1st operation of the above-mentioned with the gestalt of the 4th operation — setting — as the 2nd baking (this baking) — RTA — baking for 30 minutes is performed at 600 degrees C in a 1 – 760Torr oxygen ambient atmosphere using law, and the production process of component structure and others etc. is completely the same as that of the gestalt of the 1st operation except it. In addition, since the SBT film formed at the time of 1Torr hardly showed a ferroelectricity, having set the range of the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking to 1 – 760Torr makes this a minimum, and it makes an upper limit 760Torr(s) which are atmospheric pressure here.

[0073] Drawing 23, drawing 24, and drawing 25 are graphs which show the strong dielectric characteristics to the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking of the film obtained by the above-mentioned production process. Measurement of strong dielectric characteristics performs applied voltage as 3V to the capacitor of the type shown in drawing 1 using a well-known SOYA tower circuit.

[0074] Drawing 23 is a graph which shows the value of the remanence P_r of the film to the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking. Although the ambient-gas-pressure force hardly showed a ferroelectricity by 760Torr(s), if gas pressure falls, P_r value will increase and will serve as the maximum near pressure 5Torr, and if a pressure declines further from it, P_r value will decrease. As for the remanence P_r at the time of pressure 5Torr, property with 5.5microC/cm² and a coercive electric field E_c sufficient as 25 kV/cm and a ferroelectric capacitor was acquired. Moreover, from drawing 23, if the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking is the range of 2Torr(s) – 20Torr, P_r becomes two or more 2.5microC/cm, and shows sufficient strong dielectric characteristics.

[0075] Drawing 24 is a graph which shows the value of membranous amount of stored charge ΔQ to

the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking. A value will increase, amount of stored charge ΔQ as well as Remanence P_r will become the maximum near pressure 5 Torr, if the ambient-gas-pressure force declines from 760 Torr(s), and if a pressure declines further from it, a value will decrease. The outstanding value of $10.2 \mu\text{C}/\text{cm}^2$ in amount of stored charge ΔQ at the time of pressure 5 Torr was acquired. Moreover, if it is generally the ferroelectric random-access memory of the degree of integration of an Mbit class, the two or more $5 \mu\text{C}/\text{cm}$ amount of stored charge is required. Therefore, if amount of stored charge ΔQ is two or more $5 \mu\text{C}/\text{cm}$ in the range of 2 Torr(s) – 20 Torr and the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking is manufactured with the pressure of this range, amount of stored charge ΔQ required as ferroelectric random-access memory of the degree of integration of an Mbit class can be obtained from drawing 24. Furthermore, as a result of observing the SBT film manufactured by this 2nd baking pressure, it can be checked that it is precise and surface smoothness is also good.

[0076] Drawing 25 is a graph which shows the value of the membranous coercive electric field E_c to the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking. in the range of 2 Torr(s) – 200 Torr, the 2nd baking pressure is about 1 law near 25 kV/cm.

[0077] Drawing 26 is a graph which shows change of the leakage current when impressing 3V to the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking. Also in which gas pressure, the good value of 10^{-7} to ten to eight sets is acquired for the 2nd baking pressure.

[0078] Drawing 27 is drawing showing the X diffraction pattern of the film to the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking. In drawing 27, the 2nd baking pressure of a, b, c, d, e, and f is the thing of 760 Torr(s), 200 Torr, 20 Torr, 10 Torr, 2 Torr, and 1 Torr, respectively. Moreover, in drawing 27, although an axis of abscissa is angle-of-diffraction whenever 2θ (deg) and an axis of ordinate is diffraction reinforcement (arbitration reinforcement), with the axis of ordinate, the location which serves as the diffraction reinforcement 0 about each 2nd baking pressure is moved. And the diffraction peak according [the diffraction peak according / SBT (008), SBT (105), SBT (110), and SBT (200) / to $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT), $\Delta\text{-TaO}$ (001) and $\Delta\text{-TaO}$ (001)] to the Δ phase TaO, the diffraction peak according [Si] to a silicon substrate, and Pt express the diffraction peak by Pt lower electrode among drawing 27.

[0079] According to drawing 27, the polycrystal peak (SBT (008), SBT (105), SBT (110), SBT (200)) of SBT has appeared, in the thing of 1 Torr, there is no SBT peak and the peak ($\Delta\text{-TaO}$ (001), $\Delta\text{-TaO}$ (002)) of TaO has appeared at the thing of 2 Torr – 200 Torr. and by the thing of 760 Torr, the SBT peak is broadcloth very much and it is thought that it is the amorphous-like film. According to the observation result of this X diffraction, it turns out that the film in which a SBT peak is shown was obtained in the range of 2 Torr – 200 Torr as ambient-gas-pressure force of the 2nd baking.

[0080] Drawing 28 is a graph which shows change of the film presentation ratio to the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking. since Ta presentation and Sr presentation were not dependent on the 2nd baking pressure and Bi presentation changed to having been about 1 law depending on the 2nd baking pressure as a result of [which depends a SBT film presentation on EPMA] measuring, drawing 28 graph-izes the presentation ratio of Bi/Ta and Sr/Ta. According to drawing 28, by 760 Torr, the value of Bi/Ta is almost the same as the presentation ratio ($\text{Bi/Ta} = 2.4 / 2 = 1.2$) of a raw material charge, and 2 Torr decreases gently with the fall of the 2nd baking pressure, and it serves as stoichiometry ($\text{Bi/Ta} = 1.0$) near the 5 Torr.

[0081] And by 1 Torr, the value of Bi/Ta is [the 2nd baking pressure] small rapidly. It is thought that change of such a Bi presentation originates in the volatilization of Bi or the diffusion to an electrode having taken place at the time of the 2nd baking, and it is thought that it is the cause by which a big gap of such a Bi presentation is the thing of 2nd baking pressure 1 Torr, and a ferroelectricity was hardly acquired. On the other hand, since Ta presentation and Sr presentation were not dependent on the 2nd baking pressure and were almost fixed as above-mentioned, Sr/Ta was also almost fixed and almost the same as the presentation ratio ($\text{Sr/Ta} = 1 / 2 = 0.5$) of a raw material charge.

[0082] In addition, in the above-mentioned gestalt of the 1st – the 4th operation, although SBT (SrBi_2Ta

209) was used as an ingredient of a ferroelectric thin film. An ingredient is not limited to this and besides $\text{SrBi}_2(\text{Ti}, \text{Nb})_2\text{O}_9$ which are the compound of Ta or Ti which contains either at least, $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$, ** with desirable $\text{SrBi}_4(\text{Ti}, \text{Zr})_4\text{O}_{15}$, and these including Sr and Bi SrBi_2 </SUB> This invention is applicable if it is the bismuth layer structure compound ingredient which can form membranes by a sol gel process or the MOD methods, such as Nb_2O_9 , $\text{Bi}_4\text{Ti}_3\text{O}_{12}$, $\text{CaBi}_2\text{Ta}_2\text{O}_9$, $\text{BaBi}_2\text{Ta}_2\text{O}_9$, $\text{BaBi}_2\text{Nb}_2\text{O}_9$, and $\text{PbBi}_2\text{Ta}_2\text{O}_9$.

[0083]

[Effect of the Invention] In the manufacture approach of the ferroelectric thin film [according to the manufacture approach of the ferroelectric thin film of this invention] by the sol gel process or the MOD method. After applying the precursor solution which consists of the component element of a ferroelectric thin film material and drying, the heat-treatment for carrying out pyrolysis removal of the organic substance component in the film is omitted. By heating in a gas pressure ambient atmosphere lower than one atmospheric pressure as the 2nd heat treatment process, after repeating a spreading desiccation process several times, considering as predetermined thickness and forming a ferroelectric thin film according to the 1st heat treatment process after that. The ferroelectric thin film is crystallized and low temperature-ization of membrane formation temperature is attained from the conventional approach. Furthermore, the film produced by the manufacture approach of the ferroelectric thin film of this invention turns into precise film with small particle diameter, and leakage current can obtain the small high ferroelectric thin film of dielectric strength.

[0084] More, in order for the conventional manufacture approach to set, to hardly crystallize upwards in the burning temperature of 650 degrees C or less and to acquire a property required as ferroelectric random-access memory, 730 degrees C or more needed to be calcinated for the detail, but since low temperature-ization of 100 degrees C or more is attained from the conventional manufacture approach by the manufacture approach of this invention and property sufficient as memory also with the burning temperature of the low temperature of 600 degrees C is acquired, integration using the stack structure of ferroelectric random-access memory is attained.

[0085] Moreover, since the thin film produced by the manufacture approach of the ferroelectric thin film of this invention controls a crystal grain child's big and rough-ization, can realize membranous eburnation and surface flattening and also fits micro processing, manufacture of a higher-density device is realizable.

[Translation done.]

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view of the gestalt of operation of the 1st of the ferroelectric thin film by this invention.

[Drawing 2] It is process drawing showing a part of production process of the ferroelectric thin film of drawing 1 .

[Drawing 3] It is the graph which shows change of the remanence P_r over the 2nd burning temperature of the ferroelectric thin film of drawing 1 .

[Drawing 4] It is the graph which shows change of the coercive electric field E_c to the 2nd burning temperature of the ferroelectric thin film of drawing 1 .

[Drawing 5] It is the graph which shows change of amount of stored charge ΔQ to the 2nd burning temperature of the ferroelectric thin film of drawing 1 .

[Drawing 6] It is the graph which shows change of the remanence P_r over the applied voltage of the ferroelectric thin film of drawing 1 .

[Drawing 7] It is the graph which shows change of the coercive electric field E_c to the applied voltage of the ferroelectric thin film of drawing 1 .

[Drawing 8] It is the graph which shows change of amount of stored charge ΔQ to the applied voltage of the ferroelectric thin film of drawing 1 .

[Drawing 9] It is drawing showing the fatigue property of the ferroelectric thin film of drawing 1 .

[Drawing 10] It is the graph which shows change of the leakage current at the time of 3V impression to the 2nd burning temperature of the ferroelectric thin film of drawing 1 .

[Drawing 11] It is the SEM photograph of the membranous front face which manufactured 600 degrees C and the 2nd burning temperature for the 1st burning temperature as 600 degrees C by the manufacture approach of drawing 2 .

[Drawing 12] It is drawing showing a part of production process of the conventional ferroelectric thin film.

[Drawing 13] It is the graph which shows change of amount of stored charge ΔQ to the 2nd burning temperature of the conventional ferroelectric thin film.

[Drawing 14] It is the graph which shows change of the coercive electric field E_c to the 2nd burning temperature of the conventional ferroelectric thin film.

[Drawing 15] It is the graph which shows change of the coercive electric field E_c to the 2nd burning temperature of the conventional ferroelectric thin film.

[Drawing 16] It is the graph which shows change of the leakage current at the time of 3V impression to the 2nd burning temperature of the conventional ferroelectric thin film.

[Drawing 17] It is the SEM photograph of the membranous front face which manufactured 600 degrees C and the 2nd burning temperature for the 1st burning temperature as 600 degrees C by the conventional manufacture approach.

[Drawing 18] It is the sectional view of the ferroelectric random-access memory of the gestalt of the 2nd operation by this invention.

[Drawing 19] It is the sectional view showing a part of production process of the ferroelectric random-

access memory of drawing 18 .

[Drawing 20] It is the graph which shows the hysteresis loop when impressing the electrical potential difference of 3V to the SBT ferroelectric random-access memory of drawing 18 .

[Drawing 21] It is the graph which shows the fatigue property of the SBT ferroelectric random-access memory of drawing 18 .

[Drawing 22] It is the graph which shows the value change which broke the standard deviation (σ) of amount of stored charge ΔQ to the diameter of the maximum crystal grain of the ferroelectric thin film of the ferroelectric thin film of the gestalt of the 3rd operation by this invention by the average (ΔQ_{AVE}) of amount of stored charge ΔQ .

[Drawing 23] It is the graph which shows change of the remanence P_r of the film to the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking of the ferroelectric thin film of the gestalt of the 4th operation by this invention.

[Drawing 24] It is the graph which shows change of amount of stored charge ΔQ to the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking of the ferroelectric thin film of the gestalt of the 4th operation.

[Drawing 25] It is the graph which shows change of the coercive electric field E_c to the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking of the ferroelectric thin film of the gestalt of the 4th operation.

[Drawing 26] It is the graph which shows change of the leakage current at the time of 3V impression to the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking of the ferroelectric thin film of the gestalt of the 4th operation.

[Drawing 27] It is drawing showing the X diffraction pattern of the film to the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking of the SBT film of the ferroelectric thin film of the gestalt of the 4th operation.

[Drawing 28] It is the graph which shows change of the film presentation ratio to the ambient-gas-pressure force (the 2nd baking pressure) of the 2nd baking of the SBT film of the ferroelectric thin film of the gestalt of the 4th operation.

[Description of Notations]

1 Si Substrate

2 SiO₂

4 Lower Electrode Layer

5 48 Ferroelectric thin film

6 Up Electrode Layer

41 2nd Conductivity-Type Impurity Diffusion Field

43, 44, 51, 52 Interlayer insulation film

45 Memory Section Contact Plug

47 Lower Electrode

49 Plate Line

54 1st Conductivity-Type Silicon Substrate

[Translation done.]